

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 4月28日

出 願 番 号
Application Number:

特願2000-130806

出 願 人
Applicant(s):

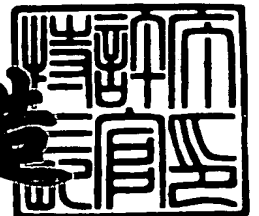
株式会社デンソー

*A2
priority
Official
8-1401*

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3003479

【書類名】 特許願

【整理番号】 IP4759

【提出日】 平成12年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 B60T 8/00

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 服部 博司

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 株根 秀樹

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100100022

 【弁理士】

 【氏名又は名称】 伊藤 洋二

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100108198

 【弁理士】

 【氏名又は名称】 三浦 高広

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100111578

 【弁理士】

 【氏名又は名称】 水野 史博

 【電話番号】 052-565-9911

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 負荷駆動回路

【特許請求の範囲】

【請求項 1】 スイッチング素子（201a、201b、201c）と、該スイッチング素子のスイッチングを制御する制御部（155）とが備えられた複数のスイッチング回路（A、B、C）が並列接続され、前記複数のスイッチング回路を並列駆動することにより、負荷（159）に流す電流のスイッチングを行う負荷駆動回路において、

電源側に接続される電源端子（153）と、接地側に接続される接地端子（154）とが備えられており、

前記制御部に電圧供給を行う電圧供給ラインと、前記スイッチング素子に電圧供給を行う電圧供給ラインとは、前記電源端子に接続される電源供給ライン（156）によって兼用されており、

前記制御部の接地ラインと、前記スイッチング素子の接地ラインとは、前記接地端子に接続される接地ライン（157）によって兼用されていることを特徴とする負荷駆動回路。

【請求項 2】 スイッチング素子（201a、201b、201c）と、該スイッチング素子のスイッチングを制御する制御部（155）とが備えられた複数のスイッチング回路（A、B、C）が並列接続され、前記複数のスイッチング回路を並列駆動することにより、負荷（159）に流す電流のスイッチングを行う負荷駆動回路において、

電源側に接続される電源端子（153）と、

前記電源端子に接続され、前記スイッチング素子及び前記制御部への電圧供給を行う電圧供給ライン（156）と、

接地側に接続される接地端子（154）と、

前記接地端子と前記スイッチング素子及び前記制御部とを接続する接地ライン（157）とを備えていることを特徴とする負荷駆動回路。

【請求項 3】 スイッチング素子（201a、201b、201c）と、該スイッチング素子のスイッチングを制御する制御部（155）とが備えられたス

スイッチング回路（A、B、C）を駆動することにより、負荷（159）に流す電流のスイッチングを行う負荷駆動回路において、

電源側に接続される電源端子（153）と、接地側に接続される接地端子（154）とが備えられており、

前記制御部に電圧供給を行う電圧供給ラインと、前記スイッチング素子に電圧供給を行う電圧供給ラインとは、前記電源端子に接続される電源供給ライン（156）によって兼用されており、

前記制御部の接地ラインと、前記スイッチング素子の接地ラインとは、前記接地端子に接続される接地ライン（157）によって兼用されていることを特徴とする負荷駆動回路。

【請求項4】 スwitchング素子（201a、201b、201c）と、該スイッチング素子のスイッチングを制御する制御部（155）とが備えられたスイッチング回路（A、B、C）を駆動することにより、負荷（159）に流す電流のスイッチングを行う負荷駆動回路において、

電源側に接続される電源端子（153）と、

前記電源端子に接続され、前記スイッチング素子及び前記制御部への電圧供給を行う電圧供給ライン（156）と、

接地側に接続される接地端子（154）と、

前記接地端子と前記スイッチング素子及び前記制御部とを接続する接地ライン（157）とを備えていることを特徴とする負荷駆動回路。

【請求項5】 前記電源端子と前記接地端子との間には、第1のコンデンサ（160）が接続されていると共に、前記第1のコンデンサに対して第1の抵抗（161）が直列接続されていることを特徴とする請求項1乃至4のいずれか1つに記載の負荷駆動装置。

【請求項6】 外部からの入力信号が入力される入力端子（151）が備えられ、

前記スイッチング回路は、前記入力端子にかかる電位に基づいて前記スイッチング素子のオン、オフを制御するようになっていることを特徴とする請求項1乃至5のいずれか1つに記載の負荷駆動回路。

【請求項 7】 前記制御部には、前記入力端子にかかる電位と前記電源の電位とによって設定される所定電圧とを大小比較する第 1 の比較器（204）が備えられており、

前記入力端子にかかる電位が前記所定電圧よりも高い場合には、前記第 1 の比較器から前記スイッチング素子をオフする制御信号が出力されるようになっていることを特徴とする請求項 6 に記載の負荷駆動回路。

【請求項 8】 前記入力端子と前記電源端子との間は、第 2 の抵抗（162）を介して接続されていることを特徴とする請求項 7 に記載の負荷駆動回路。

【請求項 9】 前記入力端子と前記接地端子との間は、第 2 のコンデンサ（164）を介して接続されており、

前記第 2 の抵抗と前記コンデンサの時定数は、前記スイッチング素子がオフされた際に前記電圧供給ラインに印加されるフライバック電圧によって上昇する前記所定電圧よりも、前記入力端子にかかる電位が速く立ち上がるように設定されていることを特徴とする請求項 8 に記載の負荷駆動回路。

【請求項 10】 前記入力端子と前記電源端子との間は、第 2 のコンデンサ（164'）を介して接続されていることを特徴とする請求項 7 に記載の負荷駆動回路。

【請求項 11】 前記第 1 の比較器から前記スイッチング素子をオフする制御信号が出力されると、所定期間前記スイッチング素子のオフ状態を維持するワンショットマルチバイブレータ（400）を備えていることを特徴とする請求項 7 に記載の負荷駆動回路。

【請求項 12】 前記制御部には、前記電源の電位とスレッシュホールド電圧とを大小比較する第 2 の比較器が備えられており、

前記第 2 の比較器の前記スレッシュホールド電圧は、前記スイッチング素子がオフされた際に前記電圧供給ラインに印加されるフライバック電圧よりも低い電位に設定されていることを特徴とする請求項 7 に記載の負荷駆動回路。

【請求項 13】 前記制御部には、前記入力端子にかかる電位と前記電源の電位変動によって変化しない所定電圧とを大小比較する比較器（204）が備えられており、

前記入力端子にかかる電位が前記所定電圧よりも高い場合には、前記比較器から前記スイッチング素子をオフする制御信号が出力されるようになっていることを特徴とする請求項 7 に記載の負荷駆動回路。

【請求項 1 4】 前記制御部には、

該制御部が配置されたチップの温度が過熱状態になっていることを検出する過熱検出部（2 1 2）と、

該過熱検出部が過熱状態であることを検出すると、前記スイッチング素子をオフにする制御信号を出力するラッチ手段（2 1 3）とが備えられており、

前記ラッチ手段には、前記制御信号を所定期間中維持する手段が備えられていることを特徴とする請求項 1 乃至 1 3 のいずれか 1 つに記載の負荷駆動回路。

【請求項 1 5】 前記ラッチ手段は、セット端子とリセット端子、及び第 1、第 2 の NOR 回路（2 1 3 a、2 1 3 b）が備えられた RS フリップフロップであり、

第 1 の NOR 回路（2 1 3 a）にはセット端子からの入力信号と前記第 2 の NOR 回路からの出力信号が入力され、前記第 2 の NOR 回路（2 1 3 b）にはリセット端子からの入力信号と前記第 1 の NOR 回路からの出力信号が入力されるようになっており、

前記 RS フリップフロップには、前記第 1 の NOR 回路の出力部と前記電源供給ラインとの間に配置された第 3 のコンデンサ（2 1 3 d）と、前記第 2 の NOR 回路の出力部と前記接地ラインとの間に配置された第 4 のコンデンサ（2 1 3 c）とが備えられていることを特徴とする請求項 1 4 に記載の負荷駆動回路。

【請求項 1 6】 前記ラッチ手段は、パワーオンリセット部（2 1 4）からのリセット信号に基づいてリセットされるように構成されており、

前記パワーオンリセット部は、前記電圧供給ラインの電位が、負荷ショート時における電位よりも低くなった時に前記リセット信号を出力するようになっていることを特徴とする請求項 1 4 又は 1 5 に記載の負荷駆動回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、モータやソレノイド等の負荷の駆動に用いられる負荷駆動回路に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、車両の自動制御化が進むに連れ、負荷制御技術が重要になってきている。この負荷制御を達成する一手法として、従来では、半導体スイッチング素子を用いた制御技術が採用されている。

【 0 0 0 3 】

しかしながら、負荷が大きくなるに連れて大電流負荷のオン、オフ時に電源ワイヤのインダクタンス成分により発生するサージノイズの影響で自己保護回路が誤動作する問題がある。

【 0 0 0 4 】

【発明が解決しようとする課題】

図 1 6 に示す負荷駆動回路では、並列接続された複数のパワー MOS トランジスタ 5 0 1、5 0 2、5 0 3 へは大電流用の電圧供給ライン 5 0 4 を通じて電源電圧が印加されるようになっており、パワー MOS トランジスタ駆動用のマイクロコンピュータ等が配された制御部 5 0 5 には小電流用の電圧供給ライン 5 0 6 を通じて電源電圧が印加されるようになっている。すなわち、大電流が流れる電圧供給ライン 5 0 4 と、小電流が流れる電圧供給ライン 5 0 6 とを別々に構成している。

【 0 0 0 5 】

この場合、負荷制御回路には、図中白丸で示すようにパワー MOS トランジスタ 5 0 1 ～ 5 0 3 の両端に接続される端子 5 0 8、5 0 9、制御部 5 0 5 の両端に接続される端子 5 1 0、5 1 1、及びパワー MOS トランジスタ駆動用の入力電圧を制御する MOS トランジスタ 5 0 7 に接続される端子 5 1 2 の合計 5 つの端子が必要になると共に、端子数に応じてワイヤハーネスも必要になる。

【 0 0 0 6 】

しかしながら、負荷制御回路、ひいては車両のコストダウンや軽量化の観点から、端子の削減及び端子に接続されるワイヤ本数の削減が求められており、図 1

6に示す回路構成では端子及びワイヤ本数の削減が十分であるとは言えない。

【0007】

なお、ここでは、複数のパワーMOSトランジスタ501～503を並列駆動する場合について説明したが、1つの場合であっても同様である。

【0008】

本発明は上記点に鑑みて、負荷駆動回路の端子、及びこの端子に接続されるワイヤ本数の削減が図れるようにすることを目的とする。

【0009】

【課題を解決するための手段】

本発明者らは、上記問題を解決するために、パワーMOSトランジスタへの電圧供給ラインと制御部への電圧供給ラインを共通化させることを考えた。この回路構成を図17に示す。

【0010】

この図に示す負荷駆動回路は、パワーMOSトランジスタ201a～201cが内蔵されていると共にパワーMOSトランジスタ201a～201cのオン、オフ駆動を行うIPD (Intelligent Power Device) A～Cを複数個（本図では3つ）並列接続した構成となっている。但し、本図では、複数個並べられたIPDのうち最も左に位置するもの以外は省略して記載するが、実際にはすべてのIPDが図中の最も左に位置するIPDと同様の構成を有している。

【0011】

また、パワーMOSトランジスタ201a～201cへの電圧供給ライン及び接地ラインとIPD内に備えられた制御部への電圧供給ライン及び接地ラインとを1本の電圧供給ライン156及び接地ライン157で兼用した構成となっている。

【0012】

そして、MOSトランジスタ158を介して複数個のIPDA～Cのそれぞれに入力電圧が印加されるようになっており、複数個のIPDA～Cを並列駆動することによって、各パワーMOSトランジスタ201a～201cのソース電極と接地ライン157間に配置された負荷159への電流供給のオン、オフが制御

されるようになっている。

【0013】

しかしながら、本発明者らが上記構成の負荷駆動回路について更なる検討を行ったところ、以下に示す問題が発生することが判った。

【0014】

①図17に示す負荷駆動回路においては、大電流が流れる電圧供給ライン156を介してパワーMOSトランジスタ201a～201cへの電圧供給を行っていると共に、制御部155への電圧供給も行っている。このような回路構成においては、通常、電源152として車両バッテリーを用いることから、バッテリー152と電源端子153とを接続するワイヤ長さ分の配線インダクタンス163が存在することになる。

【0015】

この配線インダクタンス163の存在により、負荷駆動回路への電流供給が遮断された際にフライバック電圧等のサージノイズが発生する。このようなサージノイズが発生すると、ESD（静電気）サージ保護等のために備えてあるコンデンサ160との間でLC発振が生じる。このLC発振の様子を図18に示す。なお、この図に示す電源電圧とは電圧供給ライン156の電位、入力信号とは入力端子151の電位、出力電圧とはパワーMOSトランジスタ201a～201cにかかる電位、電源電流とは電源供給ライン156に流れる電流を示している。

【0016】

この図に示すように、LC発振が生じると、電圧供給ライン156の電位（電源電圧）が瞬間的に低下してしまう。このような状態になると、制御部155に備えられた出力ラッチ用の部品、つまりパワーMOSトランジスタ201a～201cをオフ状態に維持する出力を発生する部品（例えばフリップフロップ等）が誤動作し、パワーMOSトランジスタ201a～201cが破壊される等、負荷駆動回路の保護が十分に図れないという問題がある。

【0017】

②また、近年のパワーMOSトランジスタのオン抵抗の低減により、オン抵抗と車両バッテリーに接続されるワイヤの抵抗とが近似しつつある。このため、ワイ

ヤの噛み込みやショートなどが起こった場合、オン抵抗とワイヤ抵抗とによる分圧抵抗値で決定される電圧供給ラインの電位が低下し、制御部に備えられた出力ラッチ用の部品を誤作動させ、上記と同様の問題を発生させる。

【0018】

図17に示す負荷駆動回路のうち電源から負荷を通過する電流経路を簡略化すると、図19に示す回路構成となる。この場合において、負荷159としてのモータに接続される配線がショートし、負荷ショートが生じたとすると、上記電流経路は、電源152の内部抵抗、電源152とパワーMOSトランジスタ201a～201cとを接続するワイヤ抵抗、パワーMOSトランジスタ201a～201cのオン抵抗、及びモータ部分でのショート抵抗によって構成されることになる。

【0019】

このような負荷ショートが生じた場合、上記電流経路に過電流が流れるため、パワーMOSトランジスタ201a～201cが高温となり、過熱検出部によって過熱検出が成されるため、パワーMOSトランジスタ201a～201cをオフ状態に維持するべく、RSフリップフロップ213の出力がラッチされる。

【0020】

しかしながら、通常、RSフリップフロップ213はパワーオンリセット部214からの初期状態設定信号に基づいてリセットされるように構成され、パワーオンリセット部214は電源供給ライン156の電位が所定のスレッシュホールドレベル以下になると初期状態設定信号を出力するようになっているため、負荷ショートが生じたときに電源供給ライン156の電位が低下し、パワーオンリセット部214が初期状態設定信号を出力するパワーオンリセット電圧よりも低くなって、RSフリップフロップ213をリセットしてしまう。

【0021】

このようにリセットされると、RSフリップフロップ213のラッチ出力が解除され、パワーMOSトランジスタ201a～201cをオフ状態に維持するべきであるにも関わらずオンさせてしまい、パワーMOSトランジスタ201a～201cが破壊される等、負荷駆動回路の保護が十分に図れないという問題があ

る。

【0022】

③また、図17に示すIPDの制御部155には、ロジック部が含まれており、このロジック部には入力電圧と所定のしきい値電圧とを比較するコンパレータが備えられている。このコンパレータのしきい値電圧は、IPDに印加される電源電圧 V_{cc} に基づいて設定される。

【0023】

負荷駆動回路を簡略化して書くと図20のような回路構成で示される。この図に示されるように、コンパレータ204は電源電圧 V_{cc} を抵抗 $R1$ 、 $R2$ で抵抗分割することによってしきい値電圧を設定しており、このように設定されたしきい値電圧と入力電圧 $V1$ とを比較することによって、パワーMOSトランジスタ201a～201cのオン、オフ駆動用の信号を出力するようになっている。例えば、本実施形態のようにLowアクティブのIPDA～Cの場合、入力電圧がLowレベルであればパワーMOSトランジスタ201a～201cをオンさせ、逆にHiレベルであればパワーMOSトランジスタ201a～201cをオフさせるよう作動する。

【0024】

しかしながら、このような構成においては、電源投入時や上述したフライバック電圧発生時など電源電圧の急上昇に対して、入力電圧 $V1$ の上昇が遅れてしまい、以下の問題を発生させる。この問題について、図21に示す電圧波形を参照に説明する。

【0025】

図21に示すように、入力電圧 $V1$ としてHiレベルが入力される場合、入力電圧 $V1$ が徐々に上昇していき、しきい値電圧を超える。これにより、パワーMOSトランジスタ201a～201cをオフさせる。このとき、フライバック電圧が発生するため、電源電圧が急上昇し、それに伴ってコンパレータ204のしきい値電圧も急上昇する。

【0026】

これに対し、サージノイズ吸収用のコンデンサ164等の影響で入力電圧 $V1$

の立ち上がりがしきい値電圧の上昇よりも遅れる。このため、入力電圧V1がしきい値電圧よりも低下してコンパレータ204の出力が反転し、パワーMOSトランジスタ201a～201cをオンさせてしまう。

【0027】

そして、パワーMOSトランジスタ201a～201cがオンすると再びしきい値電圧が低下するため、入力電圧V1がしきい値電圧を超えるが、このとき未だ入力電圧V1がしきい値電圧の急上昇分よりも小さいと再び入力電圧V1がしきい値電圧を下回り、パワーMOSトランジスタ201a～201cをオフさせて上記動作を繰り返す可能性がある。

【0028】

このような場合、パワーMOSトランジスタ201a～201cに繰り返しストレスが印加されるため、負荷駆動回路の保護を十分に図ることができない。

【0029】

そこで、請求項1に記載の発明では、スイッチング素子(201a、201b、201c)と、該スイッチング素子のスイッチングを制御する制御部(155)とが備えられた複数のスイッチング回路(A、B、C)が並列接続され、複数のスイッチング回路を並列駆動することにより、負荷(159)に流す電流のスイッチングを行う負荷駆動回路において、電源側に接続される電源端子(153)と、接地側に接続される接地端子(154)とが備えられており、制御部に電圧供給を行う電圧供給ラインと、スイッチング素子に電圧供給を行う電圧供給ラインとは、電源端子に接続される電源供給ライン(156)によって兼用されており、制御部の接地ラインと、スイッチング素子の接地ラインとは、接地端子に接続される接地ライン(157)によって兼用されていることを特徴としている。

【0030】

このような構成とすることにより、制御部の電圧供給ラインや接地ラインとスイッチング素子の電圧供給ラインや接地ラインを共通化でき、電圧供給ラインが接続される電源端子やワイヤを省略でき、回路構成の簡略化を図ることができる。

【 0 0 3 1 】

なお、請求項 3 に示すように、スイッチング素子を備えたスイッチング回路が 1 つの場合においても、請求項 1 と同様の効果を得ることができる。

【 0 0 3 2 】

請求項 5 に記載の発明においては、電源端子と接地端子との間には、第 1 のコンデンサ (1 6 0) が接続されていると共に、第 1 のコンデンサに対して第 1 の抵抗 (1 6 1) が直列接続されていることを特徴としている。

【 0 0 3 3 】

このように第 1 のコンデンサに対して第 1 の抵抗を直列接続することにより、電源と電源端子とを接続するワイヤに存在するインダクタンス成分と第 1 のコンデンサとによる LC 発振を抑制することができる。これにより、電圧供給ラインの電位が瞬時的に低下してしまうことを防止でき、スイッチング素子の誤作動を防止できる。

【 0 0 3 4 】

請求項 8 に記載の発明においては、入力端子と電源端子との間は、第 2 の抵抗 (1 6 2) を介して接続されていることを特徴としている。

【 0 0 3 5 】

このような構成において、入力端子と接地端子との間にコンデンサが配置されないようにすれば、コンデンサの影響による入力電圧の立ち上がり遅れを防止することができる。これにより、フライバック電圧発生時に第 1 の比較器 (2 0 4) の出力が反転してしまってスイッチング素子をオンさせてしまうことを防止できる。

【 0 0 3 6 】

請求項 9 に記載の発明においては、入力端子と接地端子との間は、第 2 のコンデンサ (1 6 4) を介して接続されており、第 2 の抵抗とコンデンサの時定数は、スイッチング素子がオフされた際に電圧供給ラインに印加されるフライバック電圧によって上昇する所定電圧よりも、入力端子にかかる電位が速く立ち上がるように設定されていることを特徴としている。

【 0 0 3 7 】

このように、第 2 の抵抗と第 2 のコンデンサの時定数を設定することによって、請求項 8 と同様の効果を得ることができる。

【 0 0 3 8 】

請求項 1 0 に記載の発明においては、入力端子と電源端子との間は、第 2 のコンデンサ (1 6 4 ') を介して接続されていることを特徴としている。

【 0 0 3 9 】

このように、第 2 のコンデンサが入力端子と電源端子との間に配置されるようにすれば、コンデンサの影響による入力電圧の立ち上がり遅れをなくせるため、請求項 8 と同様の効果を得ることができる。

【 0 0 4 0 】

請求項 1 1 に記載の発明においては、第 1 の比較器からスイッチング素子をオフする制御信号が出力されると、所定期間スイッチング素子のオフ状態を維持するワンショットマルチバイブレータ (4 0 0) を備えていることを特徴としている。

【 0 0 4 1 】

このように、ワンショットマルチバイブレータを備えることにより、フライバック電圧が生じたか否かに関わらず、所定期間スイッチング素子のオフ状態を維持することができるため、請求項 8 と同様の効果を得ることができる。

【 0 0 4 2 】

請求項 1 2 に記載の発明においては、制御部には、電源の電位とスレッシュホールド電圧とを大小比較する第 2 の比較器が備えられており、第 2 の比較器のスレッシュホールド電圧は、スイッチング素子がオフされた際に電圧供給ラインに印加されるフライバック電圧よりも低い電位に設定されていることを特徴としている。

【 0 0 4 3 】

このように、第 2 の比較器のスレッシュホールド電圧をフライバック電圧よりも低い電圧に設定しておくことにより、フライバック電圧発生時にスイッチング素子をオフ状態に維持することができ、請求項 6 と同様の効果を得ることができる。

【 0 0 4 4 】

請求項 1 3 に記載の発明においては、制御部には、入力端子にかかる電位と電

源の電位変動によって変化しない所定電圧とを大小比較する比較器（204）が備えられており、入力端子にかかる電位が所定電圧よりも高い場合には、比較器からスイッチング素子をオフする制御信号が出力されるようになっていることを特徴としている。

【0045】

このように、比較器で比較されるスレッシュホールド電圧が電源の電位変動によって変化しない所定電圧と比較するようになっていても、請求項8と同様の効果を得ることができる。

【0046】

請求項14に記載の発明においては、制御部には、スイッチング素子が配置されたチップの温度が過熱状態になっていることを検出する過熱検出部（212）と、該過熱検出部が過熱状態であることを検出すると、スイッチング素子をオフにする制御信号を出力するラッチ手段（213）とが備えられており、ラッチ手段には、制御信号を所定期間中維持する手段が備えられていることを特徴としている。

【0047】

このように、ラッチ手段が出力する制御信号が所定期間中維持されるようにすれば、電源電圧が瞬間的に低下した時にラッチ手段の出力がリセットされてしまい、スイッチング素子を誤ってオンさせないようにできる。

【0048】

具体的には、請求項15に示すように、ラッチ手段としては、セット端子とリセット端子、及び第1、第2のNOR回路（213a、213b）が備えられたRSフリップフロップを用いることができ、RSフリップフロップに対して、第1のNOR回路の出力部と電源供給ラインとの間に第3のコンデンサ（213d）を配置すると共に、第2のNOR回路の出力部と接地ラインとの間に第4のコンデンサ（213c）を配置すればよい。

【0049】

請求項16に記載の発明においては、ラッチ手段は、パワーオンリセット部（214）からのリセット信号に基づいてリセットされるように構成されており、

パワーオンリセット部は、電圧供給ラインの電位が、負荷ショート時における電位よりも低くなった時にリセット信号を出力するようになっていることを特徴としている。

【 0 0 5 0 】

このようにすることで、負荷ショート時にリセット信号を出力しないようにでき、負荷ショートによって電圧供給ラインの電位が低下した場合においても過熱異常時に確実に出力をオフ状態でラッチすることができる。

【 0 0 5 1 】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【 0 0 5 2 】

【発明の実施の形態】

（第 1 実施形態）

本実施形態では、集積回路として、ABS（アンチスキッドブレーキシステム）制御用 ECU に本発明の一実施形態を適用する場合について説明する。

【 0 0 5 3 】

まず、図 1 に、ABS 制御用 ECU によって制御される ABS 制御装置の概略構成図を示し、ABS 制御装置の構成について説明する。

【 0 0 5 4 】

図 1 に示すように、FR 輪 1、FL 輪 2、RR 輪 3 及び RR 輪 4 のそれぞれには、電磁ピックアップ式、磁気抵抗効果素子（MRE）式、若しくはホール素子式の車輪速度センサ 5～8 が配置されている。これら各車輪速度センサ 5～8 は各車輪 1～4 の回転に応じたパルス信号を発生させる。

【 0 0 5 5 】

また、各車輪 1～4 のそれぞれには、ホイールシリンダ 11～14 が配設されている。マスタシリンダ 16 がブレーキペダル 27 の踏み込みに応じてブレーキ液圧を発生させると、2 位置弁（増圧制御弁）21～24 及び油圧管路を介して各ホイールシリンダ 11～14 に圧送されるようになっている。なお、ブレーキペダル 27 の踏み込み状態はストップスイッチ 29 によって検出されるようにな

っている。

【0056】

さらに、ホイールシリンダ11、14は2位置弁（減圧制御弁）31、34を介してリザーバ37に接続されており、ホイールシリンダ12、13は2位置弁（減圧制御弁）32、33を介してリザーバ39に接続されている。

【0057】

なお、2位置弁21～24及び31～34は、連通位置と遮断位置とを有するソレノイド駆動式2位置弁で構成されており、ソレノイドへの通電により連通位置と遮断位置とを切換えられるように構成されている。

【0058】

一方、2位置弁21～24の上下流はバイパス管路41～44によって接続されている。これらのバイパス管路41～44には逆止弁41a～44aが備えられ、ホイールシリンダ11～14からマスタシリンダ16へ向かう圧油のみがバイパス管路41～44を介して流通できるようになっている。

【0059】

リザーバ37、39は、図示しないモータによって駆動されるポンプ45a、45b及び逆止弁47、49を介した油圧管路で接続されており、リザーバ37、39からマスタシリンダ16へ向かう圧油の流動のみが許容されている。

【0060】

車輪速度センサ5～8及びストップスイッチ29の検出信号は、ABS制御用ECU50に入力されている。ABS制御用ECU50は、上記検出信号に基づいて、各2位置弁21～24及び31～34の制御信号やポンプ45a、45bの駆動を行うモータの制御信号等を発生させる。この制御信号に基づいて各2位置弁21～24及び31～34やモータを制御し、ABS制御等を行うようになっている。

【0061】

図2に、ABS制御用ECU50の内部構造を表すブロック図を示す。この図に示されるように、ABS制御用ECU50には、マイクロコンピュータ60、周辺IC70、ソレノイド駆動ドライバ90、及び半導体リレー部100等から

なる複数のチップが備えられている。

【 0 0 6 2 】

以下、ABS制御用ECU50の各構成要素の詳細を説明するが、図2中に示した各矢印は、実線で示したものが制御系のライン、破線で示したものが監視系のライン、一点鎖線で示したものが禁止、遮断系のラインを示すものとする。なお、制御系のラインとは、矢印の先端の要素を矢印の後端の要素からの信号に基づいて制御することを意味する。また、監視系のラインとは、矢印の先端の要素が矢印の後端の要素からの信号に基づいて所定の要素が故障等していないか否か監視することを意味する。また、禁止、遮断系のラインとは、矢印の先端の要素が矢印の後端の要素からの禁止、遮断信号に基づいて所定の要素の駆動を禁止、遮断することを意味する。

【 0 0 6 3 】

まず、マイクロコンピュータ60について説明する。マイクロコンピュータ60は、入力部61、演算部62、出力部63を備えており、入力部61に車輪速信号等の各種情報が入力されると、この入力された各種情報に基づいて演算部62がABS制御等に用いられる各種演算を行い、出力部63より演算結果に基づくABS制御信号、すなわちソレノイド駆動やモータ駆動信号を発生させるように構成されている。また、マイクロコンピュータ60にはシリアル通信部64が備えられており、演算部62での演算によって得られた各種信号（例えばABS制御中を示すABS制御信号）が入力されると、これら各種信号をシリアル化し、シリアル信号として周辺IC70に送信している。

【 0 0 6 4 】

次に、周辺IC70について説明する。周辺IC70には、車輪速度入力バッファ71、スイッチ（以下、SWという）信号入力バッファ72、シリアル通信バッファ73、シリアル通信監視部74、内部発振回路75、ウォッチドック（以下、WDという）監視部76、リセット制御部77、駆動禁止信号発生部78、リレー駆動部79、ランプ駆動回路80、過熱保護回路81、電源監視部82、電源出力回路83、信号入出力バッファ84及び温度監視部85が備えられている。これら各要素が1チップに集積され、周辺IC70が構成されている。

【 0 0 6 5 】

車輪速入力バッファ 7 1 では、図 1 に示した車輪速度センサ 5 ～ 8 から送られてくる信号を矩形波に修正する波形整形を行っている。この車輪速入力バッファ 7 1 によって波形整形された車輪速度信号がマイクロコンピュータ 6 0 に入力され、マイクロコンピュータ 6 0 が車輪速度や推定車体速度等の A B S 制御に用いる各種演算を行うようになっている。また、車輪速入力バッファ 7 1 では、車輪速度センサ 5 ～ 8 と A B S 制御用 E C U とを接続する配線の断線検出も行っており、断線検出が成されるとシリアル通信バッファ 7 3 に断線したことを示す断線信号を送るようになっている。

【 0 0 6 6 】

S W 信号入力バッファ 7 2 では、図 1 に示すストップスイッチ 2 9 のオン、オフ信号や、2 位置弁 2 1 ～ 2 4、3 1 ～ 3 4 のソレノイドへの通電が行われたか否かが判る信号（例えば、ソレノイドにかかる電圧値）のモニタリングを行っている。これにより、ブレーキペダル 2 7 の踏み込みが成されているか否かのオン、オフ信号や、ソレノイドへの通電が行われているか否かのオン、オフ信号が出力されるようになっている。

【 0 0 6 7 】

シリアル通信バッファ 7 3 では、車輪速入力バッファ 7 1 からの断線信号や S W 信号入力バッファ 7 2 からのオン、オフの信号等をシリアル化し、シリアル信号としてマイクロコンピュータ 6 0 への送信を行っている。上述したマイクロコンピュータ 6 0 からのシリアル信号は、このシリアル通信バッファ 7 3 に送られるようになっている。

【 0 0 6 8 】

シリアル信号監視部 7 4 では、シリアル通信バッファ 7 3 からのシリアル信号に基づいてマイクロコンピュータ 6 0 の監視を行う。具体的には、車輪速入力バッファ 7 1 及び S W 信号入力バッファ 7 2 からの信号等に基づいてマイクロコンピュータ 6 0 が演算した結果をシリアル通信バッファ 7 3 で受信し、その信号が適正な信号であるか否かの監視を行う。例えば、S W 信号入力バッファ 7 2 からストップスイッチ 2 9 が踏み込まれていないというオフ信号が送られてきている

にも関わらず、シリアル通信部 64 から ABS 制御中という信号が送られてきた場合には、マイクロコンピュータ 60 からのシリアル信号が適正ではないと判定するようになっている。そして、マイクロコンピュータ 60 からのシリアル信号が適正ではない場合には、後述するリセット制御部 77 にリセット信号を出力する若しくは、駆動禁止信号発生回路 78 に禁止信号を送るようになっている。

【0069】

内部発信部 75 では、シリアル信号監視部 74 や WD 監視部 76 等に使用される内部クロックを形成している。この内部発振回路 75 では、タイミングが異なる複数種のクロック信号を生成しており、シリアル信号監視部 74 や WD 監視部 76 では、監視用信号として相応しいタイミングのクロック信号を選択して、各監視を行っている。

【0070】

WD 監視部 76 では、マイクロコンピュータ 60 から送られてくる演算周期等のデータに基づいて、マイクロコンピュータ 60 での演算が適正に成されているか否かの監視を行っている。例えば、演算適正に行われていれば、WD 監視信号が交互に反転した信号として得られるため、この WD 監視信号が交互に反転した信号となっていなければマイクロコンピュータ 60 での演算が適正な周期で行われていないと判定するようになっている。そして、マイクロコンピュータ 60 での演算が適正ない周期で行われていない場合には、後述するリセット制御部 77 にリセット信号を出力する若しくは、駆動禁止信号発生回路 78 に禁止信号を送るようになっている。

【0071】

リセット制御部 77 では、初期化の際、若しくはシリアル信号監視部 74 や WD 監視部 76、及び後述する電源監視部 83 からのリセット信号が入力されると、マイクロコンピュータ 60 にリセット信号を送るようになっている。このリセット信号を受け取ると、マイクロコンピュータ 60 は、マイクロコンピュータ 60 内の各値を予め規定されたリセット状態のモードにする。例えば、マイクロコンピュータ 60 での演算等をすべてストップさせる。また、このリセット信号は、シリアル通信バッファ 73 やシリアル信号監視部 74 にも送られるようになっ

ており、このリセット信号に基づいて初期化等が行われる。

【 0 0 7 2 】

駆動禁止信号発生部 7 8 では、シリアル信号監視部 7 4、WD 監視部 7 6、後述する過熱保護回路 8 1 及び電源監視部 8 3 からの禁止信号に基づき、リレー駆動部 7 9 にソレノイド駆動禁止信号やモータ駆動禁止信号を送ると共に、マイクロコンピュータ 6 0 を介さずに直接ソレノイド駆動ドライバ 9 0 に駆動禁止信号を送る。このため、駆動禁止信号発生部 7 8 からソレノイド駆動禁止信号が送られると、マイクロコンピュータ 6 0 が作動していてもソレノイド駆動が禁止される。

【 0 0 7 3 】

リレー駆動部 7 9 では、マイクロコンピュータ 6 0 からのソレノイド駆動信号やモータ駆動信号に基づき、半導体リレー部 1 0 0 のスイッチングを制御し、ソレノイドやポンプ 4 5 a、4 5 b の駆動を行うモータへの通電を制御する。そして、駆動禁止信号発生部 7 8 や後述するソレノイド駆動ドライバ 9 0 の出力監視部 9 2 からのソレノイド駆動禁止信号やモータ駆動禁止信号が入力されると、リレー駆動部 7 9 は半導体リレー部 1 0 0 によってソレノイドへの通電やモータへの通電をストップさせるようになっている。

【 0 0 7 4 】

ランプ駆動部 8 0 では、通常時にはマイクロコンピュータ 6 0 からの A B S 制御中信号に基づいて A B S 制御の作動状態を出力しているが、リセット制御部 7 7 からのリセット信号、若しくは駆動禁止信号発生部 7 8 からのソレノイド駆動禁止信号やモータ駆動禁止信号が入力されると、A B S 制御が非作動となることを出力する。このランプ駆動部 8 0 からの信号を受けて、図示しないランプが点灯し、A B S 制御の作動状態が確認できる。

【 0 0 7 5 】

過熱保護回路部 8 1 では、周辺回路 7 0 を構成するチップが異常な温度になることを防止すべく、チップが所定温度に達したことを検出し、チップが所定温度以上になると駆動禁止信号発生部 7 8 に禁止信号を発生させると共に、それ以上の温度上昇を防止するために、マイクロコンピュータ 6 0 への電圧供給を止める

ようになっている。

【 0 0 7 6 】

電源出力回路 8 2 は、被監視ブロックに相当し、集積回路 5 0 外に配置された外部電源との接続が成される電源端子（第 1 の電源端子）1 0 1 及び接地端子（第 1 の接地端子）1 0 3 に接続されている。この電源出力回路 8 2 では、電源端子 1 0 1 に印加される電圧に基づいて、所望の値（例えば、5 V、3. 3 V）の電圧を出力するようになっている。この電源出力回路 8 2 の出力電圧が、マイクロコンピュータ 6 0、周辺 I C 7 0、ソレノイド駆動ドライバ 9 0 等の電源電圧として用いられる。

【 0 0 7 7 】

電源監視部 8 3 は、監視ブロックに相当し、電源出力回路 8 2 が接続される電源端子 1 0 1 とは別の電源端子（第 2 の電源端子）1 0 5 及び接地端子（第 2 の電源端子）1 0 7 に接続されている。電源監視部 8 3 では、電源出力回路 8 2 の出力電圧が所望の値になっているか否かの監視を行うと共に、電源出力回路 8 2 に印加される電圧が過電圧になっていないか否かの監視を行う。例えば、電源出力回路 8 2 の出力電圧が所望の値に満たない場合にはリセット制御部 7 7 にリセット信号が送られ、所望の値よりも高い場合には駆動禁止信号発生部 7 8 に禁止信号が送られるようになっている。また、電源出力回路 8 2 に印加される電圧が過電圧である場合には、駆動禁止信号発生部 7 8 に禁止信号を出力すると共に、異常過熱を防止するため、マイクロコンピュータ 6 0 への電圧供給を止めるようになっている。

【 0 0 7 8 】

信号入出力バッファ 8 4 は、車が故障した時のダイアグを調査するための端子 8 4 a に接続されており、テスターを端子 8 4 a に接続することでマイクロコンピュータ 6 0 との通信が行えるようになっている。また、この信号入出力バッファ 8 4 は、単なる出力バッファ、例えば車両用スピードメータの車速を表示するための信号（例えば、車輪速から演算された推定車体速度に相当する信号）を出力させるバッファに使用することができる。

【 0 0 7 9 】

温度監視部 8 5 では、常時、集積回路 5 0 の温度検出を行っている。温度監視部 8 5 は、集積回路 5 0 の温度に応じた信号を温度検出信号としてマイクロコンピュータ 6 0 に送るようになっている。この温度検出信号に基づいてマイクロコンピュータ 6 0 では、検出された温度に応じた A B S 制御の演算を行うようになっている。

【 0 0 8 0 】

続いて、ソレノイド駆動ドライバ 9 0 について説明する。ソレノイド駆動ドライバ 9 0 は、ソレノイドに接続された MOS トランジスタ 9 1 と、ソレノイド（MOS トランジスタ 9 1）への通電状態を監視する出力監視部 9 2 と、MOS トランジスタ 9 1 のオン、オフ駆動を行うアンド回路 9 3 とを備えている。

【 0 0 8 1 】

MOS トランジスタ 9 1 は、図 1 に示す各種制御弁 2 1 ～ 2 4、3 1 ～ 3 4 のそれぞれのソレノイドに接続されており、この MOS トランジスタ 9 1 によってソレノイドへの通電のスイッチングが成される。

【 0 0 8 2 】

出力監視部 9 2 は、各ソレノイド 1 つ 1 つに備えられ、各ソレノイドへのドライバ出力の監視を行っている。例えば、MOS トランジスタ 9 1 のドレイン電圧やドレイン電流に基づいてソレノイドへの通電状態の監視を行う。これにより、例えば、ドレイン電流が過電流になっていないか、ソレノイドへの通電用配線がオープンになっていないか若しくはリークしていないか、MOS トランジスタ 9 1 が高温になり過ぎていないか等を検出する。これにより、ソレノイド駆動に適していない結果が得られた場合には、出力監視部 9 2 はリレー駆動部 7 9 にソレノイド駆動禁止信号やモータ駆動禁止信号を送ると共に、アンド回路 9 3 にもソレノイド駆動禁止信号を送るようになっている。

【 0 0 8 3 】

アンド回路 9 3 には、マイクロコンピュータ 6 0 の出力信号、リレー駆動部 7 9 からの出力信号、駆動禁止信号発生部 7 8 からの出力信号、出力監視部 9 2 からの出力信号が入力される。本実施形態の場合、リレー駆動部 7 9 からの出力信号、駆動禁止信号発生部 7 8 からの出力信号、出力監視部 9 2 からの出力信号は

、通常時にはLowレベルとなっているが、何らかの故障が合った時にHiレベルとなり、アンド回路93の出力がLowレベル、つまりMOSトランジスタ91をオフするようになっている。

【0084】

このため、ソレノイド駆動ドライバ90は、マイクロコンピュータ60や周辺IC70からの信号に基づいてソレノイドへの通電を遮断できるだけでなく、ソレノイド駆動ドライバ90自身に備えられた出力監視部92からの信号に基づいてソレノイドへの通電を遮断できるようになっている。

【0085】

半導体リレー部100においては、半導体リレー100aでは、ソレノイドへの通電のスイッチングを行っており、半導体リレー100bでは、ポンプ45a、45bの駆動を行うモータへの通電のスイッチングを行っている。これら各半導体リレー100a、100bは、リレー駆動部79からの信号に基づいて制御され、通常時にはソレノイドやモータへの通電が可能となるように構成され、リレー駆動部79からソレノイド駆動禁止信号やモータ駆動禁止信号を受けると、ソレノイドやモータへの通電が行えなくなるように構成されている。これら半導体リレー100a、100bが負荷駆動回路に相当する。

【0086】

以下、半導体リレー部100の詳細を図に基づいて説明する。ただし、半導体リレー部100を構成するソレノイド駆動用の半導体リレー100aとモータ駆動用の半導体リレー100bとは同様の構成であるため、ここではモータ駆動用の半導体リレー100bを例に挙げて説明する。図3にモータ駆動用の半導体リレー100bの回路構成を示す。

【0087】

図3に示すように、半導体リレー100bには、パワーMOSトランジスタ201a、201b、201cが内蔵されていると共にパワーMOSトランジスタ201a～201cのオン、オフ駆動を行うIPDA、B、Cを複数個（本図では3つ）並列接続した構成となっている。但し、本図では、複数個並べられたIPDA～Cのうち最も左に位置するもの以外は省略して記載するが、実際にはす

すべてのIPDA～Cが図中の最も左に位置するIPDAと同様の構成を有している。

【0088】

この半導体リレー100bには、リレー駆動部79からの入力電圧が印加される入力端子151と、車両バッテリー等の電源152の正極側に接続される電源端子153と、電源の負極側に接続される接地端子154との3端子が備えられており、パワーMOSトランジスタ201a～201cへの電圧供給ライン及び接地ラインとIPDA～C内に備えられた制御部155への電圧供給ライン及び接地ラインとが1本の電圧供給ライン156及び接地ライン157で兼用された構成となっている。

【0089】

そして、MOSトランジスタ158を介して複数個のIPDA～Cのそれぞれに入力電圧が印加されるようになっており、複数個のIPDA～Cを並列駆動することによって、各パワーMOSトランジスタ201a～201cのソース電極と接地ライン157間に配置された負荷159への電流供給のオン、オフが制御されるようになっている。

【0090】

また、電源供給ライン156と接地ライン157との間には、ESDサージ保護等のためにコンデンサ160が備えられていると共に、このコンデンサ160に対して直列接続されるように抵抗（第1の抵抗）161が備えられている。

【0091】

さらに、電源端子153と入力端子154との間には抵抗（第2の抵抗）162が備えられているが、入力端子151と接地端子154との間には図17に示すコンデンサ164が配置されていない構成となっている。

【0092】

なお、インダクタンス163は、電源152と電源端子153とを接続するワイヤのインダクタンス成分を示している。

【0093】

続いて、図3に示すIPDAの具体的な回路構成を図4に示し、この図に基づ

いてIPDAの詳細について説明する。なお、他のIPDB、Cの回路構成も同様であるため、ここでは省略する。

【0094】

IPDAの入力端子(IN端子)203には、リレー駆動部79のデューティ制御信号に基づく電圧が印加される。具体的には、モータ駆動時にはリレー駆動部79からLowレベルの電位が印加されているが、モータ非駆動時及びモータ駆動禁止信号が送られる場合にはリレー駆動部79からHiレベルの電位が印加される。

【0095】

そして、入力端子203に印加される電位はコンパレータ(第1の比較器)204によって所定のしきい値電圧(例えば $0.5 \times V_{cc}$)と比較され、この比較結果がOR回路205を介してMOSトランジスタ206に出力される。このため、モータ非駆動時及びモータ駆動禁止信号の送信時において入力端子203にHiレベルの電位が印加されると、OR回路205からHiレベルが出力され、MOSトランジスタ206をオンさせる。これにより、INH入出力端子202aの電位がLowレベルとなる。このINH入出力端子202aからのLowレベル出力がパワーMOSトランジスタ201a~201cをオンさせることを禁止する禁止信号に相当する。

【0096】

そして、このようにINH入出力端子202aの電位がLowレベルになると、コンパレータ207の出力がLowレベルになり、ドライバ回路208からの出力がLowレベルとなって、パワーMOSトランジスタ201aがオフされる。

【0097】

一方、IPDAのINH入出力端子202aの電位がLowレベルになると、IPDAのINH入出力端子202aとIPDB、CのINH入出力端子202b、202cとが接続されているため、IPDB、CのINH入出力端子202b、202cの電位もLowレベルとなる。このため、IPDAと同様の回路構成とされたIPDB、Cも、IPDB、Cに備えられたパワーMOSトランジス

タ 2 0 1 b、2 0 1 c をオフさせる。

【0 0 9 8】

このように、リレー駆動部 7 9 から H i レベルの電位が印加されると、I P D A 及び他の I P D B、C に備えられたパワー M O S トランジスタ 2 0 1 a ~ 2 0 1 c が同時にオフするようになっている。

【0 0 9 9】

また、I P D A には、高電圧検出部 2 0 9 や低電圧検出部 2 1 0 が備えられている。高電圧検出部 2 0 9 は、モータ駆動用の電圧 V c c と通常時の電圧 V c c よりも高い所望の電圧値とを比較し、電圧 V c c が所望の電圧値よりも高いことを検出するものであり、本実施形態では電圧 V c c が所望の電圧値よりも高い場合に H i レベルを出力するようになっている。また、低電圧検出部 2 1 0 は、モータ駆動用の電圧 V c c と通常時の電圧 V c c よりも低い所望の電圧値とを比較し、電圧 V c c が所望の電圧値よりも低いことを検出するものであり、本実施形態では電圧 V c c が所望の電圧値よりも低い場合に H i レベルを出力するようになっている。

【0 1 0 0】

これら高電圧検出部 2 0 9 や低電圧検出部 2 1 0 から H i レベルが出力されると、O R 回路 2 1 1 を介して O R 回路 2 0 5 から H i レベルが出力され、M O S トランジスタ 2 0 6 をオンさせる。これにより、I N H 入出力端子 2 0 2 a の電位が L o w レベルとなる。

【0 1 0 1】

そして、このように I N H 入出力端子 2 0 2 a の電位が L o w レベルになると、コンパレータ 2 0 7 の出力が L o w レベルになり、ドライバ回路 2 0 8 からの出力が L o w レベルとなって、パワー M O S トランジスタ 2 0 1 a がオフする。これに伴い、上述したように I P D B、C の I N H 入出力端子 2 0 2 b、2 0 2 c の電位も L o w レベルとなるため、他の I P D B、C に備えられたパワー M O S トランジスタ 2 0 1 b、2 0 1 c もオフする。

【0 1 0 2】

このように、I P D A に備えられた高電圧検出部 2 0 9 や低電圧検出部 2 1 0

によってモータ駆動用電圧が所望の電圧値よりも高低している場合が検出されても、IPDA及び他のIPDB、Cに備えられたパワーMOSトランジスタ201a～201cが同時にオフするようになっている。

【0103】

なお、IPDB、CにもIPDAと同様に高電圧検出部209や低電圧検出部210が備えられているが、このIPDBに備えられた高電圧検出部209や低電圧検出部210によってモータ駆動用電圧が所望の電圧値よりも高低していることが検出されても、IPDB、CのINH入出力端子がLowレベルとなり、IPDA～Cに備えられたパワーMOSトランジスタ201a～201cが同時にオフする。

【0104】

さらに、IPDAには過熱検出部212が備えられている。この過熱検出部212は、IPDAが形成されたチップの温度が異常な高温になることを防止すべく、チップが所定温度以上の過熱状態になったことを検出するものであり、本実施形態では過熱検出部212は、チップが高温であることが検出されるとHiレベル信号を出力するようになっている。

【0105】

この過熱検出部212からのHiレベル信号がRSフリップフロップ213に入力されると、RSフリップフロップ213の出力がHiレベルにセットされ、OR回路205からHiレベルが出力される。

【0106】

このため、上記した高電圧が検出された場合等と同様に、INH入出力端子202aの電位がLowレベルになって、IPDA～Cに備えられたパワーMOSトランジスタ201a～201cが同時にオフする。

【0107】

一方、モータ駆動時、若しくは各種異常状態が解除された際には、OR回路205の出力がLowレベルとなるため、各IPDA～Cに備えられたパワーMOSトランジスタ201a～201cをオンさせようとする。

【0108】

このとき、各IPDA～CのINH入出力端子202a～202cが互いに接続されているため、IPDAに備えられたMOSトランジスタ206だけでなく、IPDB、CのうちIPDAに備えられたMOSトランジスタ206と同様の構成のMOSトランジスタもオフしなければ、各IPDA～CのINH入出力端子202a～202cがHiレベルとならない。

【0109】

従って、各IPDB、Cに備えられたパワーMOSトランジスタ201b、201cのオン動作も同時に行われる。

【0110】

なお、電源電圧Vccが印加される電源端子221とGNDとされる接地端子222との間は、Vccクランプ回路223によって接続されており、ESDサージ時やロードダンプ時においてもIPDAが保護できるようになっている。

【0111】

また、本実施形態では、パワーオンリセット部214からの初期状態設定信号や入力端子203からの信号に基づいてRSフリップフロップ213がリセットされるような構成としている。

【0112】

すなわち、パワーオンリセット部214からの初期状態設定信号（Hiレベル信号）により、OR回路215がHiレベルを出力したとき、及びリレー駆動部79からのデューティ駆動信号によってMOSトランジスタ216がオン、オフされ、MOSトランジスタ216のドレイン電位が所定電位（ここでは2.5V）よりも高くコンパレータ217によってHiレベルが出力されたときに、RSフリップフロップ213がリセットされるようになっている。

【0113】

次に、上記構成とされた半導体リレー100bの特徴について説明する。

【0114】

①本実施形態に示す半導体リレー100bでは、上述したように、ESDサージ保護等のためのコンデンサ160に対して抵抗161を直列接続している。このような抵抗を備えることにより、電源152と電源端子153とを接続するワ

イヤのインダクタンス成分 1 6 3 とコンデンサ 1 6 0 とによる LC 発振が抑制される。

【 0 1 1 5 】

図 5 に、本実施形態のように抵抗を備えた場合において、電圧供給を遮断した際における半導体リレー 1 0 0 b の各部の出力波形を示す。この図に示されるように、抵抗 1 6 1 を備えたことにより、電源 1 5 2 と負荷駆動回路としての半導体リレー 1 0 0 b を接続するワイヤのインダクタンス成分による影響を吸収でき、LC 発振を抑制することが可能となる。

【 0 1 1 6 】

これにより、電源供給ラインの電位の安定化を図ることができ、電源供給ラインが瞬間的に低下することを防止することができる。

【 0 1 1 7 】

さらに、本実施形態の場合、過熱検出時にパワー MOS トランジスタ 2 0 1 がオフ状態に維持されるように RS フリップフロップ（ラッチ手段）2 1 3 の出力がラッチされるようにしている。この RS フリップフロップ 2 1 3 の論理構成を図 6（a）に示す。

【 0 1 1 8 】

この図に示されるように、RS フリップフロップ 2 1 3 は 2 つの NOR 回路 2 1 3 a、2 1 3 b を備えた構成となっている。一方の NOR 回路（第 1 の NOR 回路）2 1 3 a には、セット端子に接続される信号と他方の NOR 回路（第 2 の NOR 回路）2 1 3 b の出力信号が入力されるように構成され、他方の NOR 回路 2 1 3 b には、リセット端子に接続される信号ともう一方の NOR 回路 2 1 3 a の出力信号が入力されるように構成されている。これらのうち、NOR 回路 2 1 3 b の出力が RS フリップフロップ 2 1 3 の出力となり、NOR 回路 2 1 3 a の出力が RS フリップフロップ 2 1 3 の反転出力となる。

【 0 1 1 9 】

さらに、NOR 回路 2 1 3 b と接地電位間においてコンデンサ（第 4 のコンデンサ）2 1 3 c が接続されており、NOR 回路 2 1 3 a と電源との間においてもコンデンサ（第 3 のコンデンサ）2 1 3 d が接続されている。

【0120】

このように構成されたRSフリップフロップ213の作動をタイミングチャートで示すと、図6(b)のように示される。

【0121】

この図に示すように、NOR回路213aの出力電位がコンデンサ213dによって保持されるため、電圧供給ライン156の電位が変動したり、瞬間的に低下した場合においても、RSフリップフロップ213の状態がコンデンサ213c、213dによって保持され、RSフリップフロップ213が誤作動することはない。

【0122】

このように、RSフリップフロップ213の出力が所定時間中維持されるようにすることによっても、パワーMOSトランジスタ201a～201cを誤ってオンさせないようにできる。

【0123】

なお、電源立ち上げ時には、電圧立ち上がり時のAC成分がNOR回路213bの出力に接続されたコンデンサ容量を抜けるため、RSフリップフロップ213がリセット状態に初期設定されるようにできる。

【0124】

②また、本実施形態では、パワーオンリセット部214が初期状態設定信号（パワーオンリセット信号）を発生させるスレッシュホールドレベルを調整し、負荷ショート時に想定される電圧供給ラインの電位よりも低いスレッシュホールドレベルに設定している。

【0125】

すなわち、図19に示したように、電源152の内部抵抗 R_b 、電源152と電源端子153とを接続するワイヤ抵抗 R_w 、パワーMOSトランジスタ201a～201cのオン抵抗 R_{on} 、及びモータ部分でのショート抵抗 R_s とすると、パワーオンリセット部が初期状態設定信号を発生させるスレッシュホールドレベルが以下の関係を満たすようにしている。

【0126】

【数 1】

$$\text{スレッシュヨルドレベル} \leq \frac{R_{on} + R_s}{R_{on} + R_s + R_w + R_b} \times V_b$$

【0 1 2 7】

図 7 (a) に、本実施形態のようにスレッシュヨルドレベルを負荷ショート時に想定される電圧供給ライン 1 5 6 の電位よりも低い値に設定した場合と、その電位よりも高い値に設定した改善前の場合とについて、電圧供給ライン 1 5 6 の電位とスレッシュヨルドレベルとの関係を示す。また、図 7 (b) に、本実施形態の場合と改善前の場合における R S フリップフロップ 2 1 3 の出力信号波形を示す。

【0 1 2 8】

これらの図からも判るように、改善前のように負荷ショート時に想定される電圧供給ライン 1 5 6 の電位よりも高い値にスレッシュヨルドレベルを設定しておくと、R S フリップフロップ 2 1 3 のラッチ出力が解除され、パワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオフ状態に維持するべきであるにも関わらず、パワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオンさせてしまう。

【0 1 2 9】

これに対し、本実施形態のように、負荷ショート時に想定される電圧供給ライン 1 5 6 の電位よりも低い値にスレッシュヨルドレベルを設定しておくと、R S フリップフロップ 2 1 3 のラッチ出力が解除されず、パワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオフ状態に維持することができる。

【0 1 3 0】

これにより、R S フリップフロップ 2 1 3 の誤作動によるパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c の破壊等を防止でき、半導体リレー 1 0 0 b の保護を図ることができる。

【0 1 3 1】

③さらに、本実施形態では、図 1 7 に示すコンデンサ 1 6 4 を備えていない構成としている。このため、リレー駆動部 7 9 よりパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオフさせるという入力信号が入力された時に、I P D A の各部

では図 8 に示す電圧波形を示す。

【 0 1 3 2 】

この図に示されるように、入力電圧 V 1 が立ち上がるとしきい値電圧を超え、コンパレータ 2 0 4 が H i レベルを出力するようになる。このとき、コンデンサを廃止し、コンデンサの影響による入力電圧 V 1 の立ち上がり遅れが無くしてあるため、フライバック電圧によってしきい値電圧が急上昇しても、しきい値電圧が入力電圧 V 1 を超えてしまってパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオンさせてしまうことはない。

【 0 1 3 3 】

このように、コンデンサを廃止することにより、コンデンサの影響による入力電圧 V 1 の立ち上がり遅れを防止することができ、フライバック電圧発生時にコンパレータ 2 0 4 の出力が反転してしまってパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオンさせてしまうことを防止できる。

【 0 1 3 4 】

これにより、パワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c に繰り返しストレスが印加されることを防止でき、負荷駆動回路の保護を十分に図ることができる。

【 0 1 3 5 】

(第 2 実施形態)

上記第 1 実施形態では、図 1 7 に示すコンデンサ 1 6 4 を削除しているが、図 1 7 に示すコンデンサ (第 2 のコンデンサ) 1 6 4 をそのまま用いた場合においても、コンデンサ 1 6 4 と抵抗 1 6 2 とによる時定数を調整することにより、入力電圧の立ち上がり遅れをなくすることができる。

【 0 1 3 6 】

図 9 に、リレー駆動部 7 9 よりパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオフさせるという入力信号が入力された時における IPDA の各部での電圧波形を示す。

【 0 1 3 7 】

この図に示すように、入力電圧 V 1 の立ち上がりが第 1 実施形態と比べると多

少遅れるが、フライバック電圧発生時において、しきい値電圧が上昇する分よりも入力電圧 V_1 が高くなるように上記時定数を設定することにより、第 1 実施形態と同様の効果を得ることができる。

【 0 1 3 8 】

これにより、入力電圧 V_1 の立ち上がり遅れによってパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c に繰り返しストレスが印加させることを防止することができる。

【 0 1 3 9 】

(第 3 実施形態)

本実施形態における半導体リレー 1 0 0 b の回路構成を図 1 0 に示す。本実施形態では、図 1 7 に対して、コンデンサ 1 6 4 の接続位置を変更している。すなわち、電源供給ライン 1 5 6 と IPDA ~ C の入力端子 1 5 1 間にコンデンサ 1 6 4 ' を接続し、抵抗 1 6 2 に対してコンデンサ 1 6 4 ' が並列接続されるようにしている。このようにコンデンサ 1 6 4 ' の接続位置を変更することにより、コンデンサ 1 6 4 ' への充電が成されないようにでき、入力電圧 V_1 の立ち上がり遅れを防止することができる。

【 0 1 4 0 】

この場合、リレー駆動部 7 9 よりパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c をオフさせるという入力信号が入力された時には、IPDA の各部での電圧波形が図 8 に示す波形とほぼ同様になる。

【 0 1 4 1 】

これにより、入力電圧 V_1 の立ち上がり遅れによってパワー MOS トランジスタ 2 0 1 a ~ 2 0 1 c に繰り返しストレスが印加させることを防止することができる。

【 0 1 4 2 】

(第 4 実施形態)

本実施形態では図 1 7 に示す回路構成に対して IPDA ~ C の構成を変更することにより、入力電圧 V_1 の立ち上がり遅れによる問題を解決する。図 1 1 に、本実施形態における IPDA の回路構成を示す。

【0143】

図11に示すように、本実施形態では、コンパレータ204の出力がインバータ回路220を介してワンショットマルチバイブレータ400に入力され、ワンショットマルチバイブレータ400の出力がOR回路205に入力されるようになっている。

【0144】

このような構成とすることにより、一旦コンパレータ204の出力がHiレベルとなってワンショットマルチバイブレータ400にLowレベルが入力されると、所定期間中パワーMOSトランジスタ201a～201cがオフされるようにしている。

【0145】

図12に、本実施形態におけるIPDAの各部での電圧波形を示す。この図に示されるように、入力電圧V1の立ち上がり遅れが発生してしきい値電圧が入力電圧V1を超えたとしても、ワンショットマルチバイブレータ400によって所定期間中Hiレベル信号が出力されるため、この期間中はパワーMOSトランジスタ201a～201cをオフさせることができる。

【0146】

これにより、入力電圧V1の立ち上がり遅れによってパワーMOSトランジスタ201a～201cに繰り返しストレスが印加させることを防止することができる。

【0147】

(第5実施形態)

本実施形態も図17に示す回路構成に対してIPDA～Cの構成を変更することにより、入力電圧V1の立ち上がり遅れによる問題を解決する。図13に、本実施形態におけるIPDAの回路構成を示す。

【0148】

図13に示すように、本実施形態では、コンパレータ204のしきい値電圧が電源電圧の変動によって変化しないように例えば4～5Vとなるように固定している。このしきい値電圧の固定は、例えば、ツェナーダイオードや内部電源回路

によって行うことができる。

【0149】

このようにコンパレータ204のしきい値電圧を固定しておけば、コンデンサ164による影響で入力電圧の立ち上がり遅れがあっても、フライバック電圧によってしきい値電圧が急上昇して入力電圧よりも高くなることはない。

【0150】

図14に、本実施形態におけるIPDAの各部での電圧波形を示す。この図に示されるように、入力電圧V1の立ち上がり遅れが発生してもしきい値電圧が固定されているため、しきい値電圧が入力電圧V1を超えない。

【0151】

これにより、入力電圧V1の立ち上がり遅れによってパワーMOSトランジスタ201a～201cに繰り返しストレスが印加させることを防止することができる。

【0152】

(第6実施形態)

本実施形態では、IPDAのうち高電圧検出部209におけるスレッシュホールドレベルを変更することにより、入力電圧V1の立ち上がり遅れによる問題を解決する。なお、本実施形態では図4のうち高電圧検出部209のスレッシュホールドレベルを変更するのみであるため、図4を参照に説明する。

【0153】

本実施形態では、高電圧検出部209が高電圧であると検出するスレッシュホールドレベルを低く設定するようにしている。高電圧検出部209にはコンパレータ（図示せず）が備えられており、電源電圧がスレッシュホールドレベルよりも高くなった時に高電圧であるとして、OR回路211にHiレベルを出力し、パワーMOSトランジスタ201a～201cをオフするように構成されている。

【0154】

この高電圧検出部209のスレッシュホールドレベルをフライバック電圧よりも低く設定することにより、フライバック電圧発生時には高電圧検出部209によってパワーMOSトランジスタ201a～201cがオフされるようにできる。

【 0 1 5 5 】

図 1 5 に、本実施形態における I P D A の各部での電圧波形を示す。この図に示されるように、入力電圧 V 1 の立ち上がり電圧が遅れたとしても、電源電圧が急上昇することによって高電圧検出部 4 1 0 のスレッシュホールドレベルを超えるため、しきい値電圧が入力電圧 V 1 を超える前に高電圧検出部 4 1 0 から H i レベルが出力される。これにより、フライバック電圧発生時にパワー M O S トランジスタ 2 0 1 a ~ 2 0 1 c がオフされるようにでき、入力電圧の立ち上がり遅れによってパワー M O S トランジスタに繰り返しストレスが印加させることを防止することができる。

【 0 1 5 6 】

(他の実施形態)

上記各実施形態では、半導体スイッチング素子としてのパワー M O S トランジスタを有する I P D A ~ C が 3 つ備えられた負荷駆動回路について説明したが、I P D が 1 つの場合や、複数の場合すべてにおいて上記各実施形態を適用することが可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態における A B S 制御用 E C U によって制御される A B S 制御装置の概略構成を示す図である。

【図 2】

A B S 制御用 E C U 5 0 の内部構造を表すブロック図である。

【図 3】

図 2 に示す半導体リレー 1 0 0 b の具体的な構成を示す図である。

【図 4】

図 3 に示す半導体リレー 1 0 0 b を構成する各 I P D A ~ C の回路構成を示す図である。

【図 5】

電圧供給を遮断した際における半導体リレー 1 0 0 b の各部の出力波形を示す図である。

【図 6】

(a) は R S フリップフロップ 2 1 3 の論理構成を示す図であり、(b) は R S フリップフロップ 2 1 3 の作動を説明するためのタイミングチャートを示す図である。

【図 7】

(a) は負荷ショート時におけるスレッショルドレベルと電源供給ライン 1 5 6 の電位 V b との関係を示す図であり、(b) は負荷ショート時における R S フリップフロップ 2 1 3 の出力信号を示す図である。

【図 8】

リレー駆動部 7 9 からの入力電圧に対する I P D A の各部での電圧波形を示す図である。

【図 9】

本発明の第 2 実施形態について、リレー駆動部 7 9 からの入力電圧に対する I P D A の各部での電圧波形を示す図である。

【図 1 0】

本発明の第 3 実施形態における I P D A の回路構成を示す図である。

【図 1 1】

本発明の第 4 実施形態における I P D A の回路構成を示す図である。

【図 1 2】

リレー駆動部 7 9 からの入力電圧に対する I P D A の各部での電圧波形を示す図である。

【図 1 3】

本発明の第 5 実施形態における I P D A の回路構成を示す図である。

【図 1 4】

リレー駆動部 7 9 からの入力電圧に対する I P D A の各部での電圧波形を示す図である。

【図 1 5】

リレー駆動部 7 9 からの入力電圧に対する I P D A の各部での電圧波形を示す図である。

【図 1 6】

本発明者らが検討に用いた負荷駆動回路の回路構成を示す図である。

【図 1 7】

本発明者らが検討に用いた負荷駆動回路の回路構成を示す図である。

【図 1 8】

L C 発振時における電圧波形を示す図である。

【図 1 9】

図 1 7 に示す負荷駆動回路を簡略化した図である。

【図 2 0】

図 1 7 に示す負荷駆動回路を簡略化した図である。

【図 2 1】

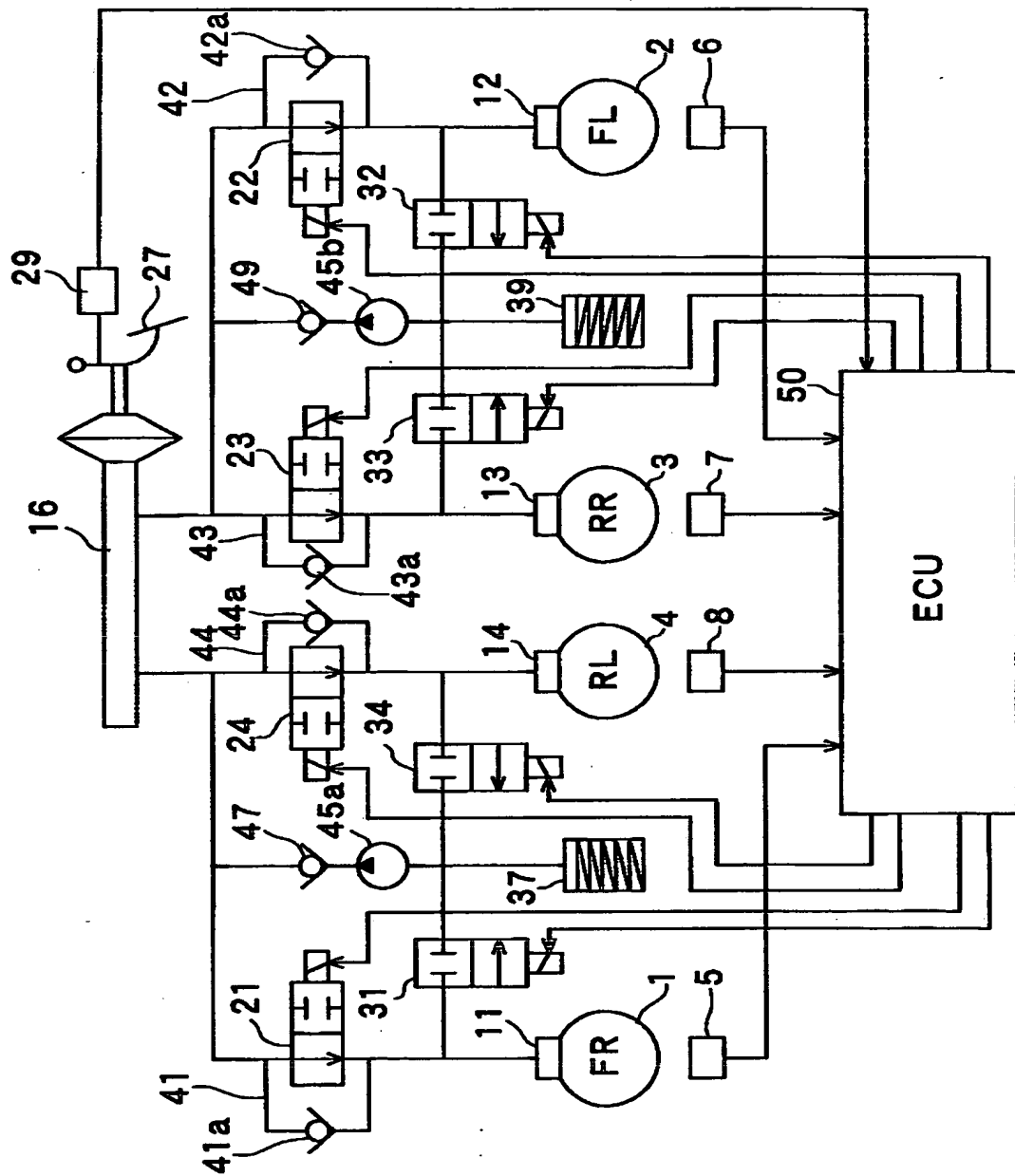
入力電圧 V 1 としきい値電圧との関係を説明するための図である。

【符号の説明】

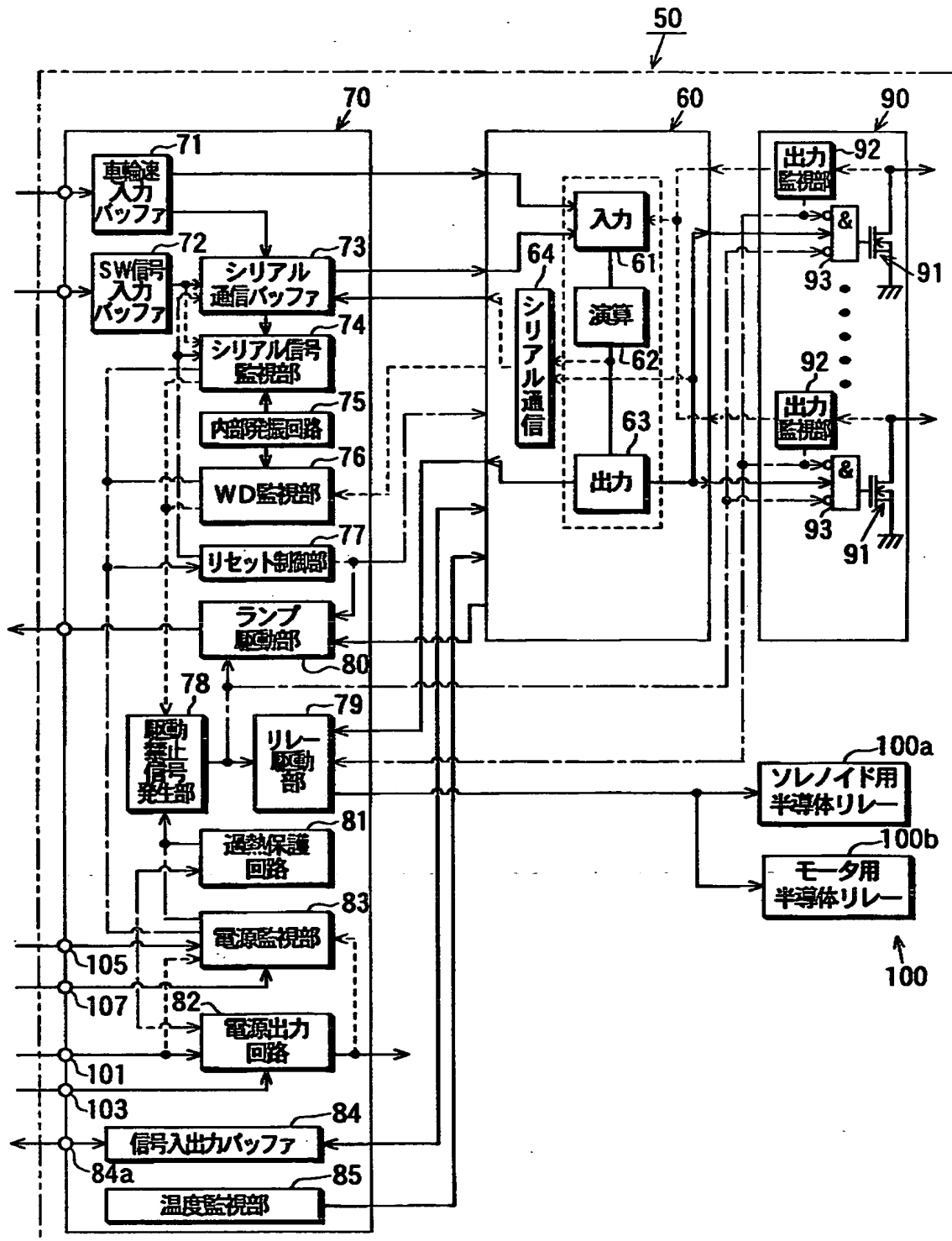
5 0 … A B S 制御用 E C U、 6 0 … マイクロコンピュータ、 7 0 … 周辺 I C、
7 7 … リセット制御部、 7 8 … 駆動禁止信号発生部、 7 9 … リレー駆動部、 1 0
0 … 半導体リレー部、 1 0 0 a、 1 0 0 b … 半導体リレー、 1 5 1 … 入力端子、
1 5 3 … 電源端子、 1 5 4 … 接地端子、 1 5 6 … 電圧供給ライン、 1 5 7 … 接地
ライン、 1 6 1 … 抵抗、 2 0 1 a ~ 2 0 1 c … パワー M O S トランジスタ、 2 0
4 … コンパレータ、 A ~ C … I P-D。

【書類名】 図面

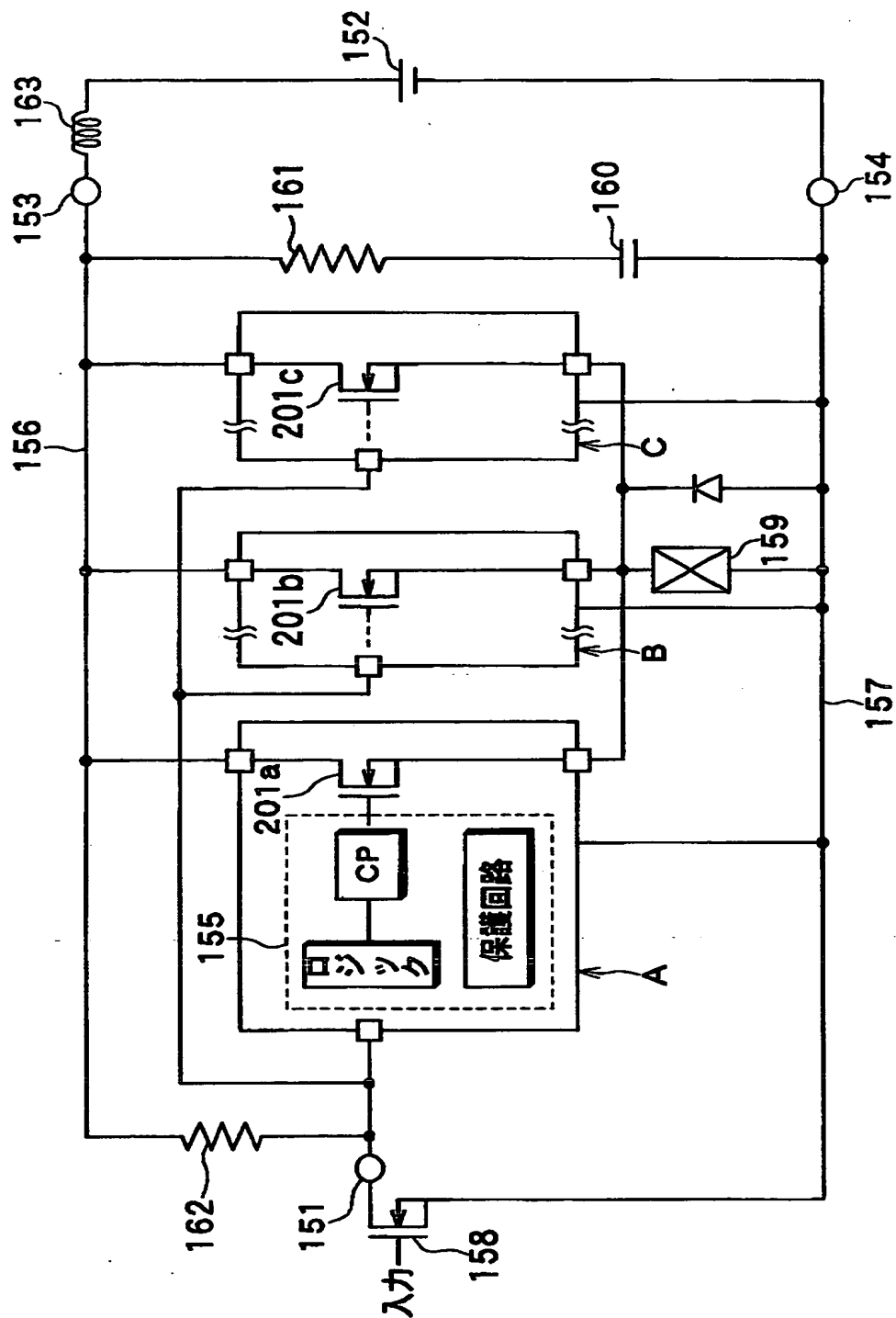
【図 1】



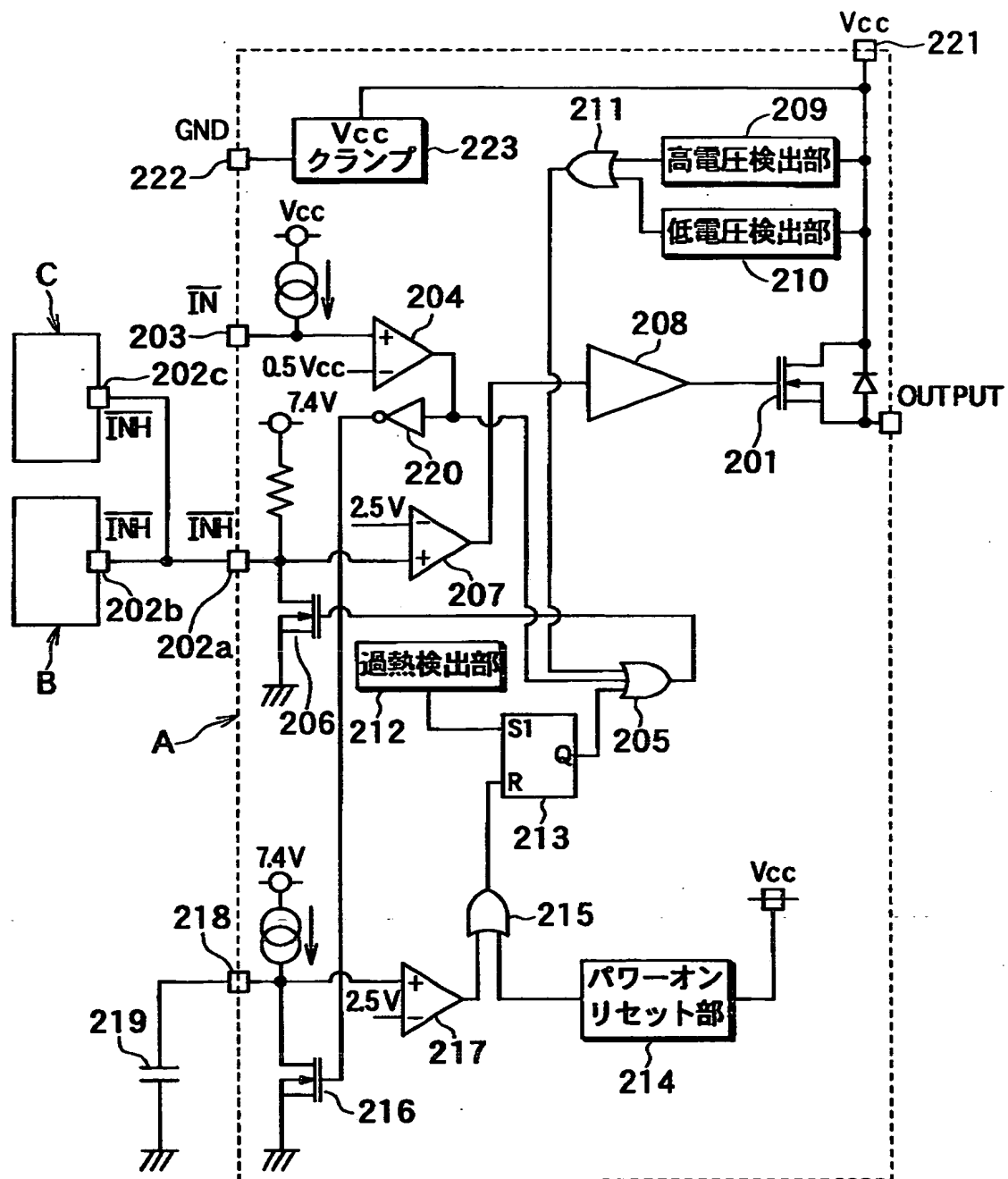
【図 2】



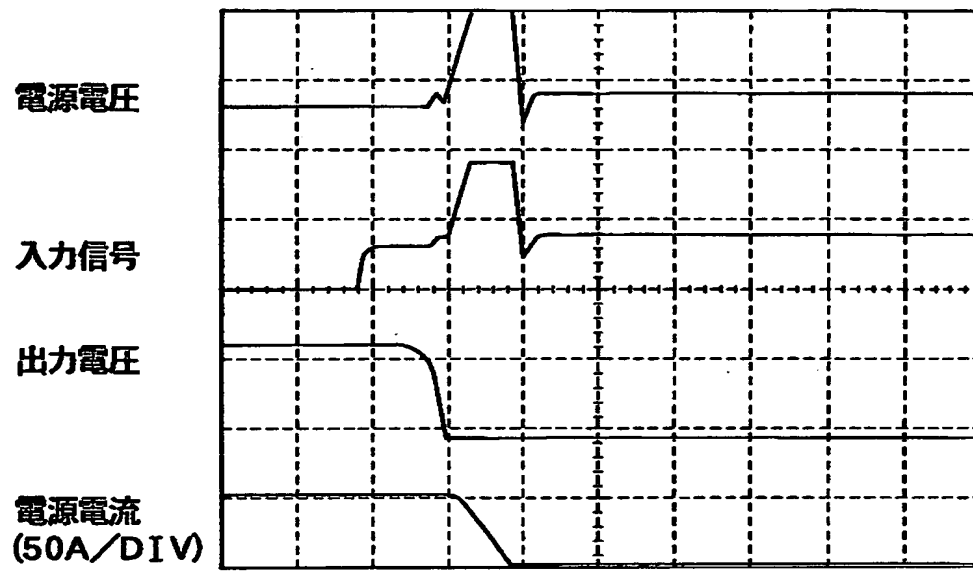
【図 3】



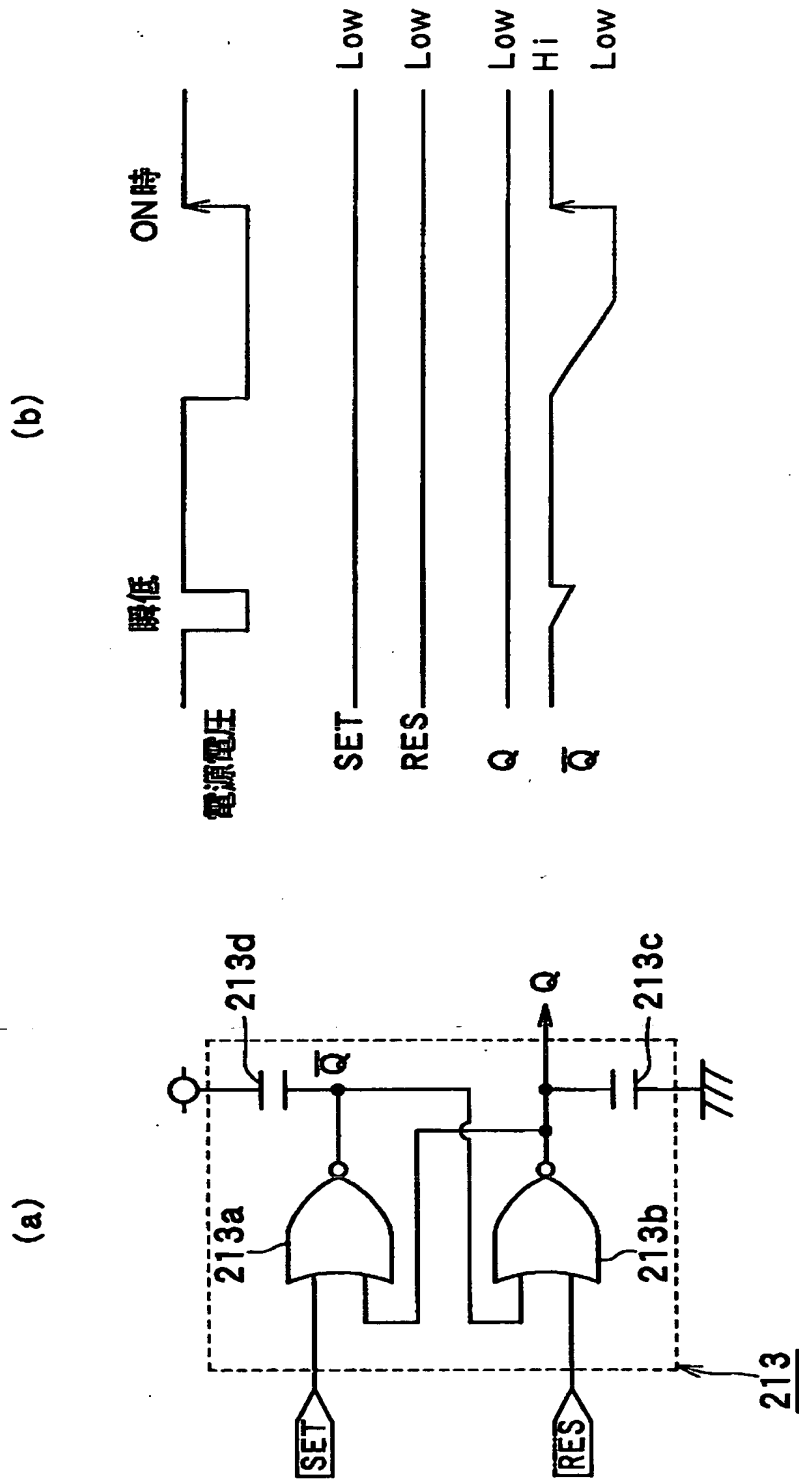
【図 4】



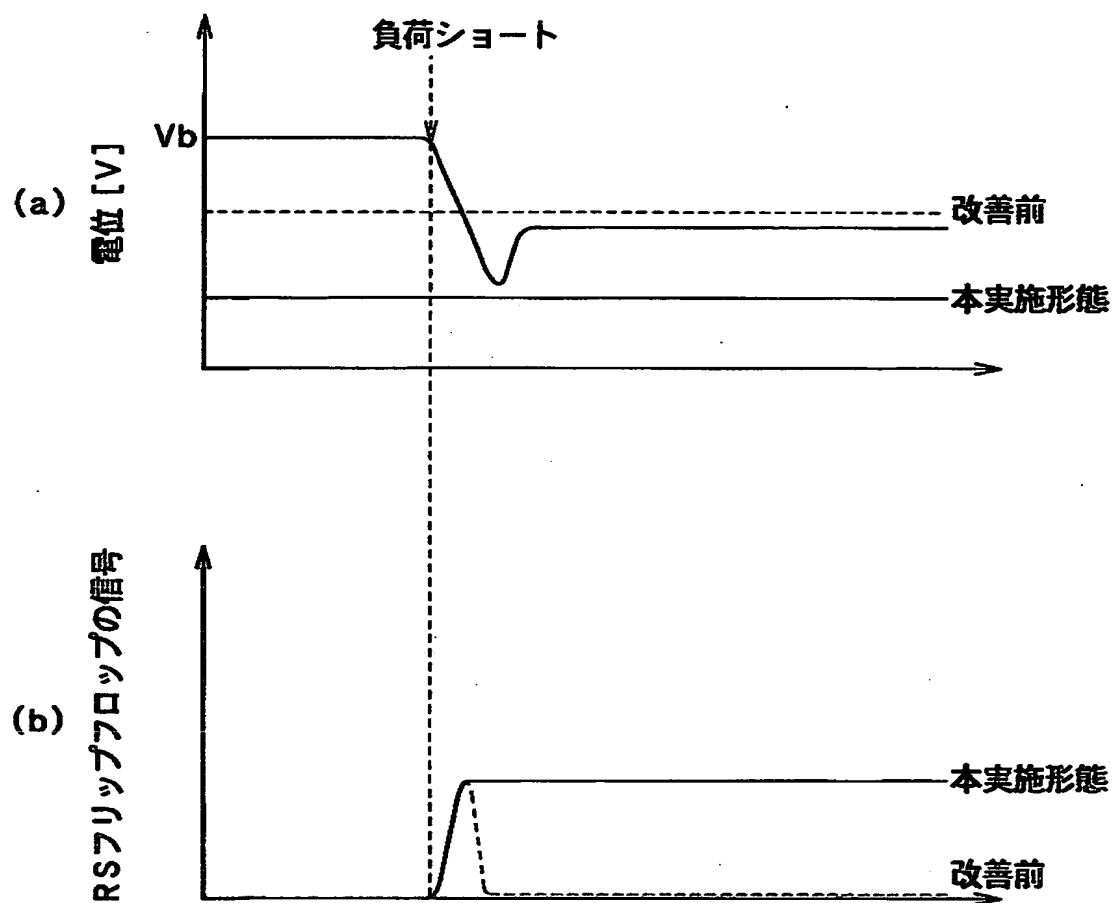
【図 5】



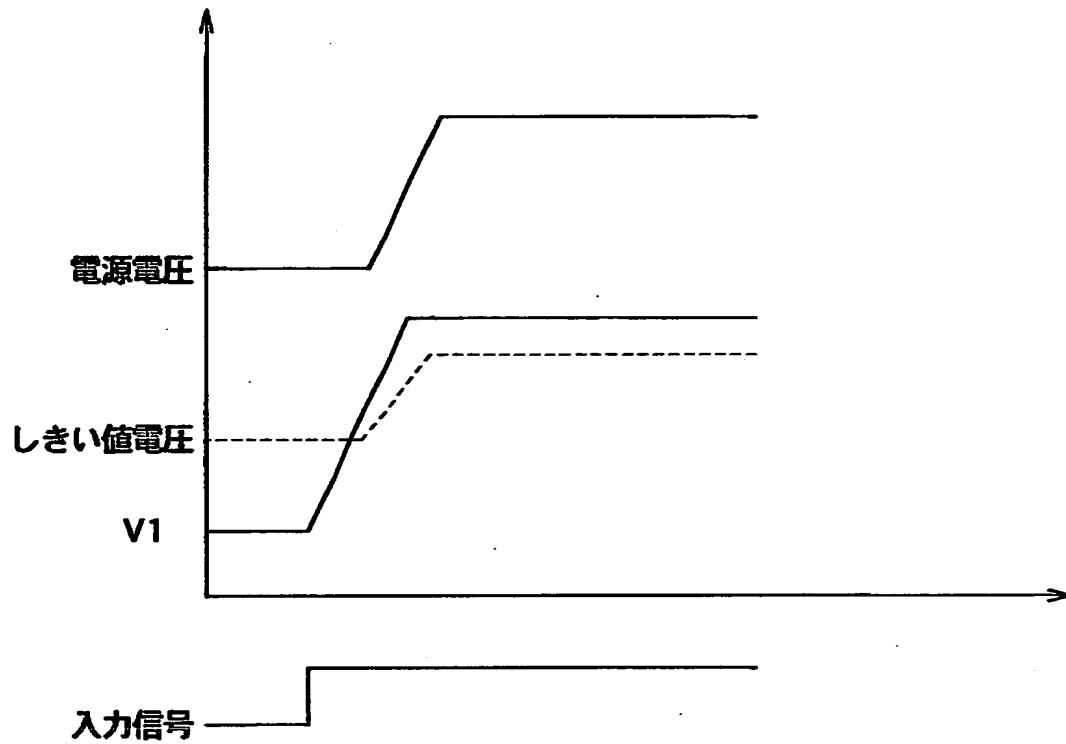
【図 6】



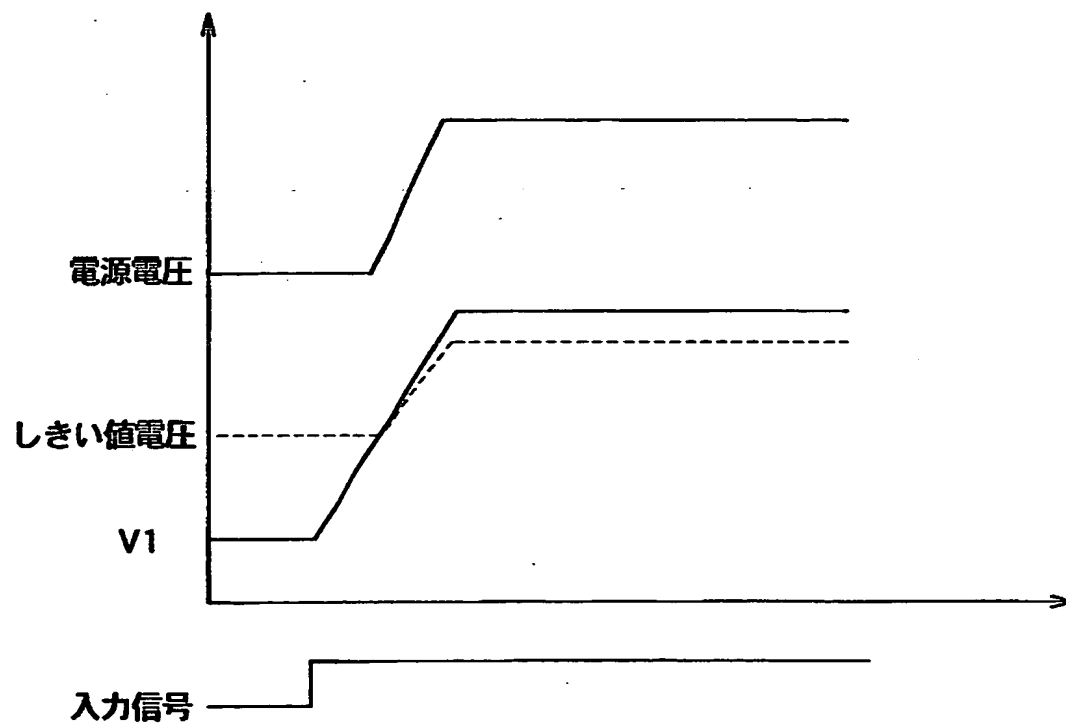
【図 7】



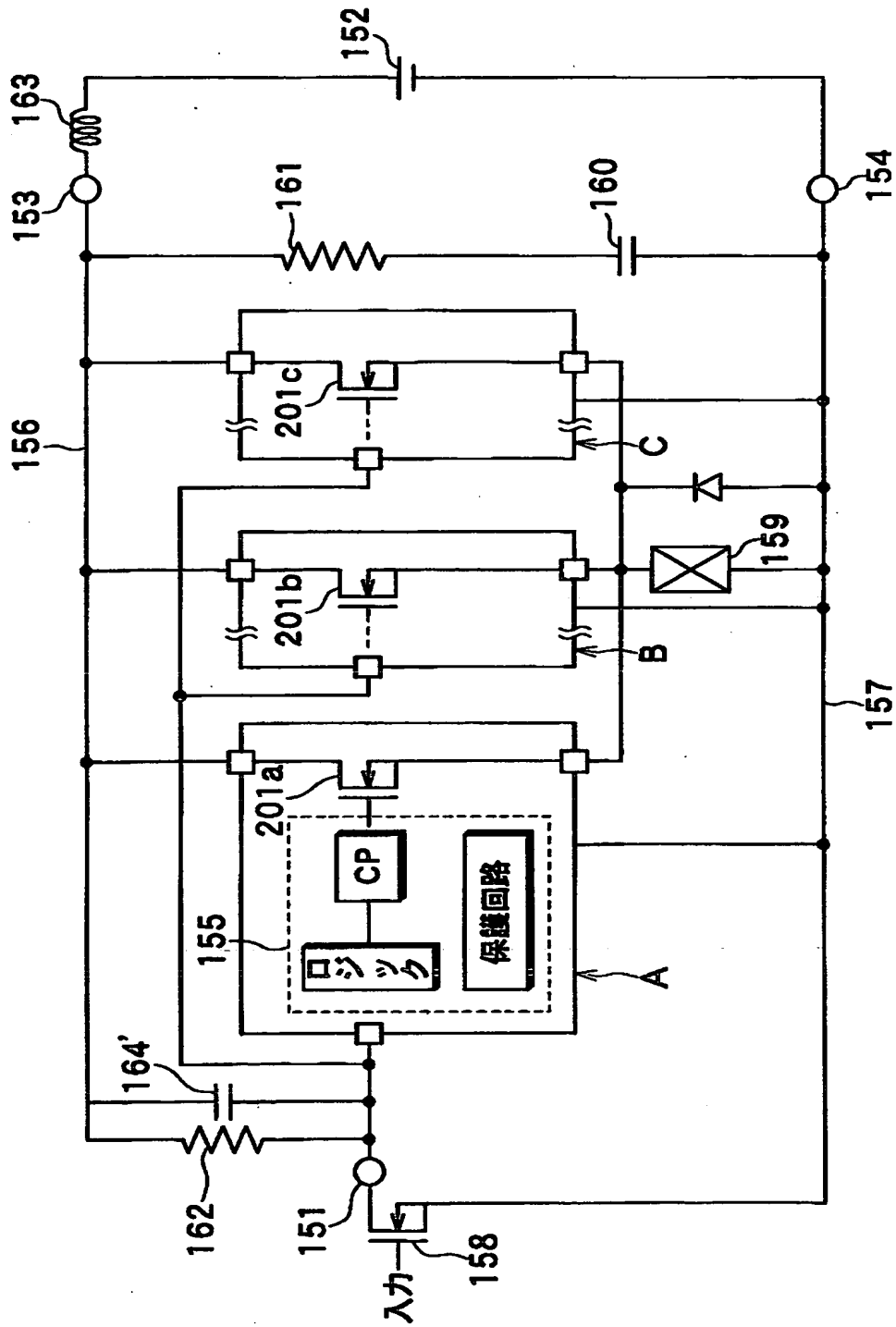
【図 8】



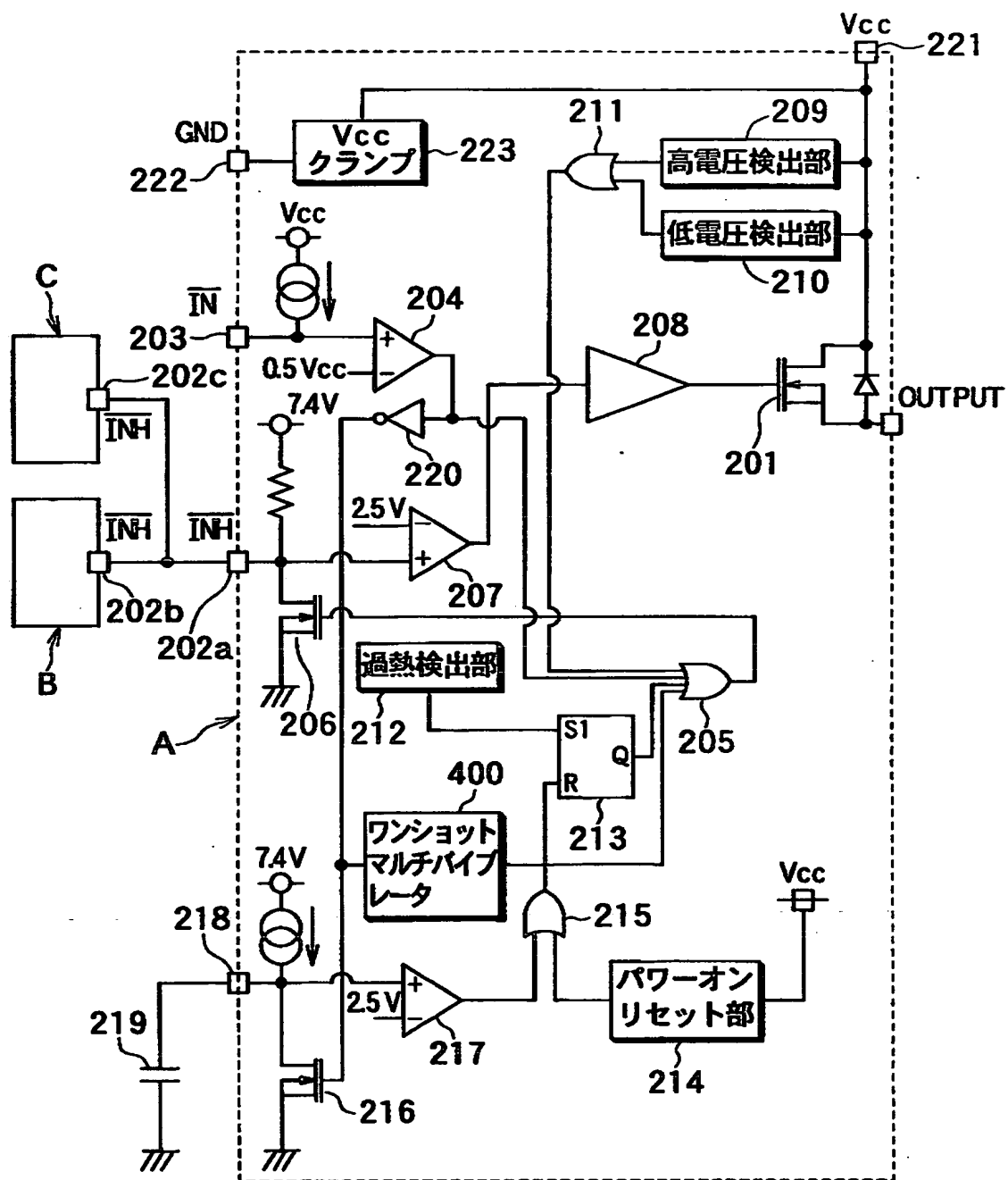
【図 9】



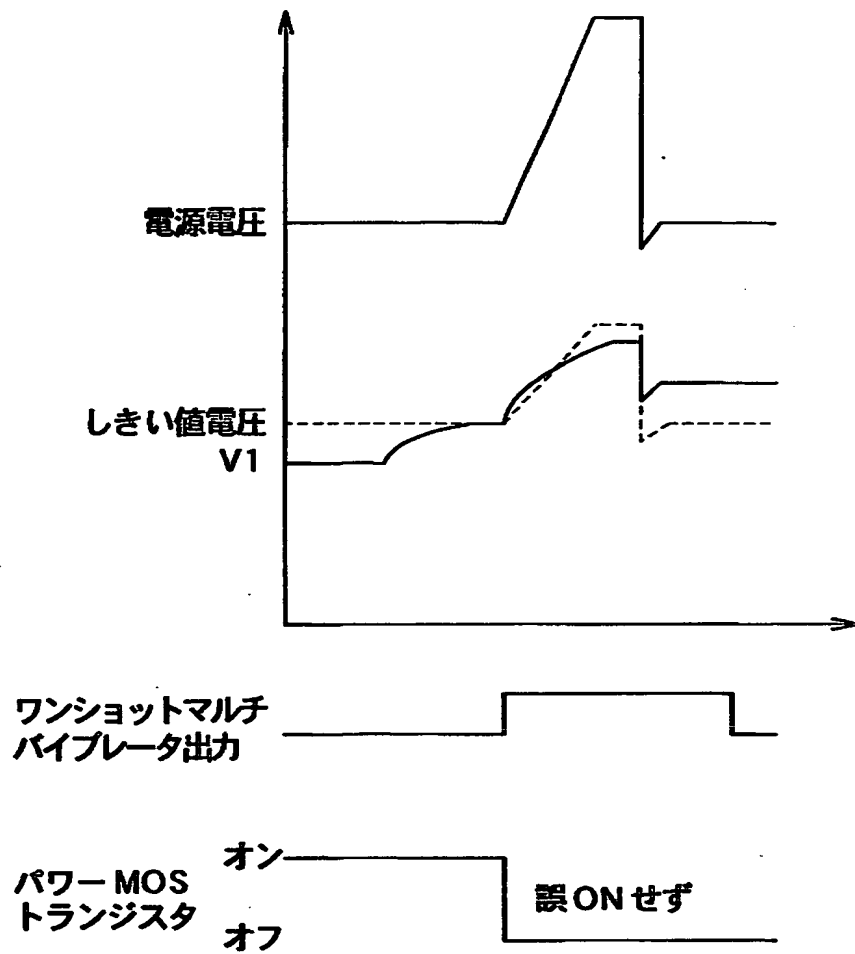
【図10】



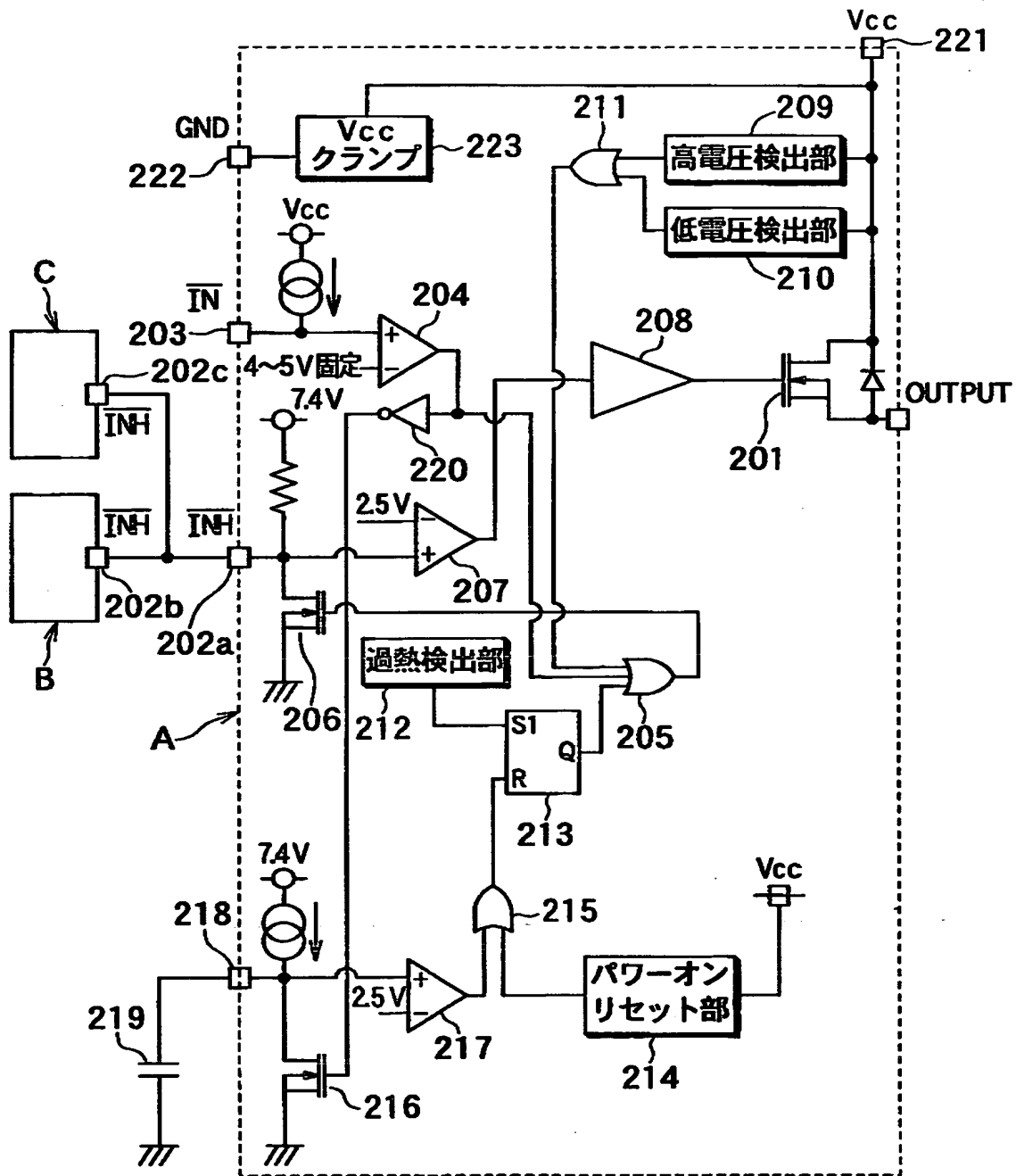
【図 1 1】



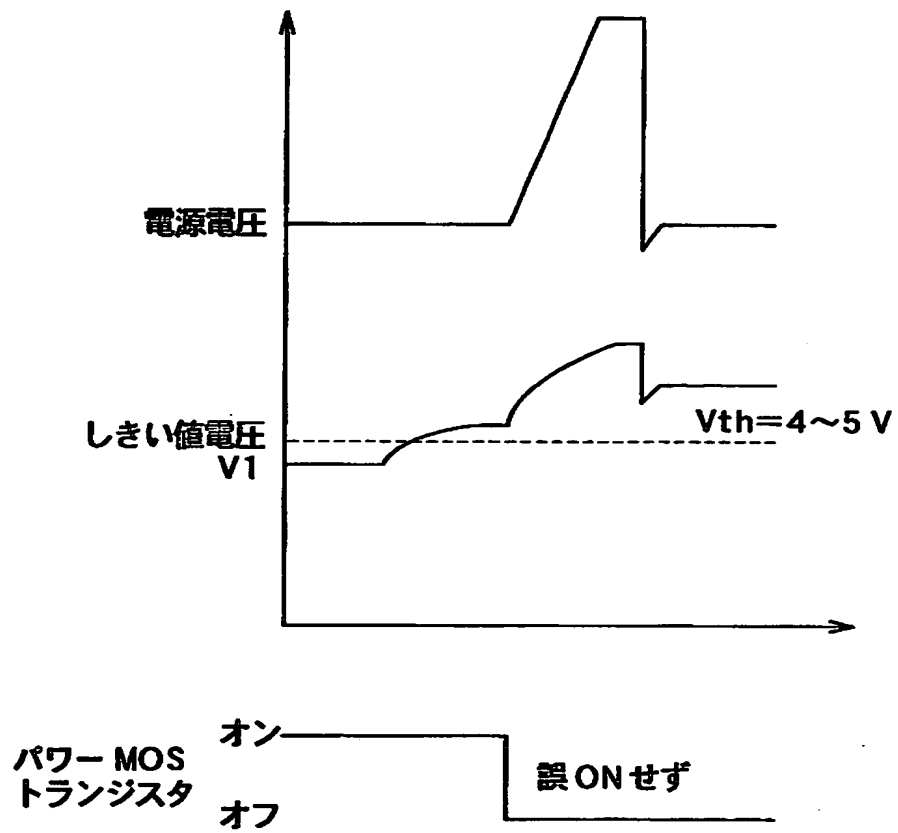
【図 1 2】



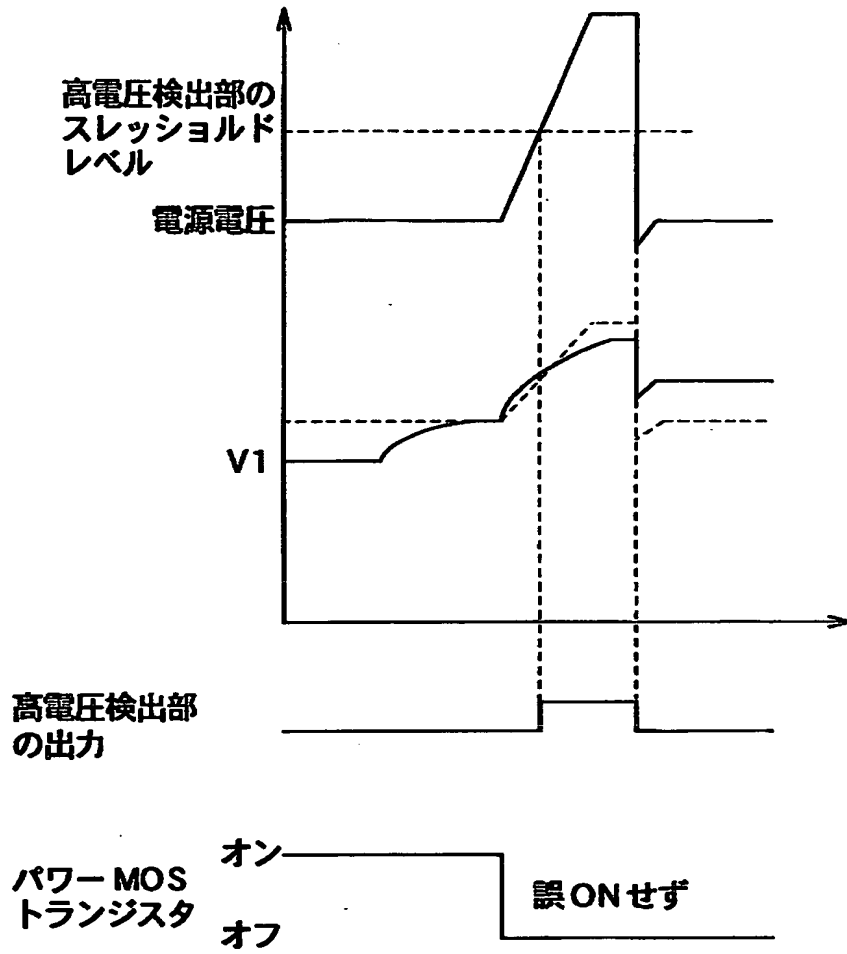
【図13】



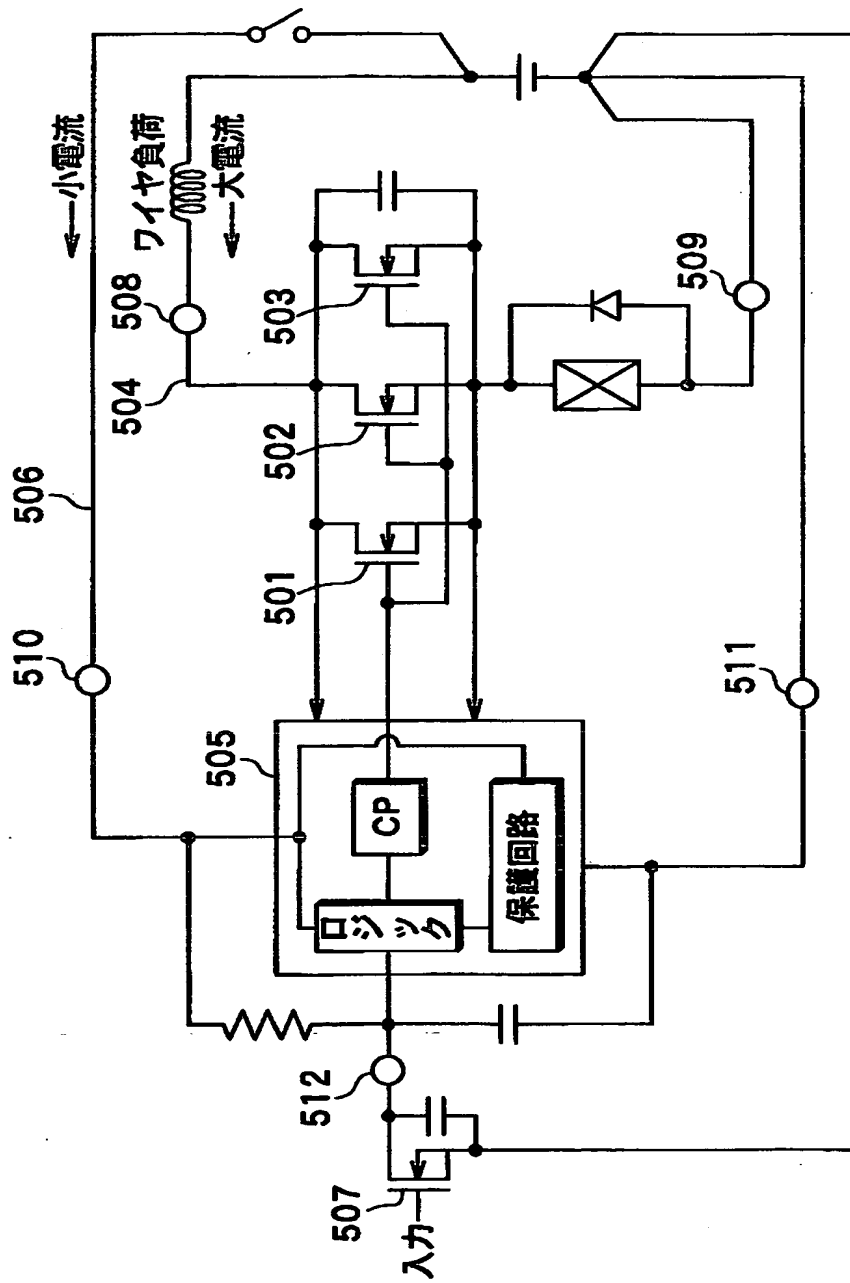
【図 1 4】



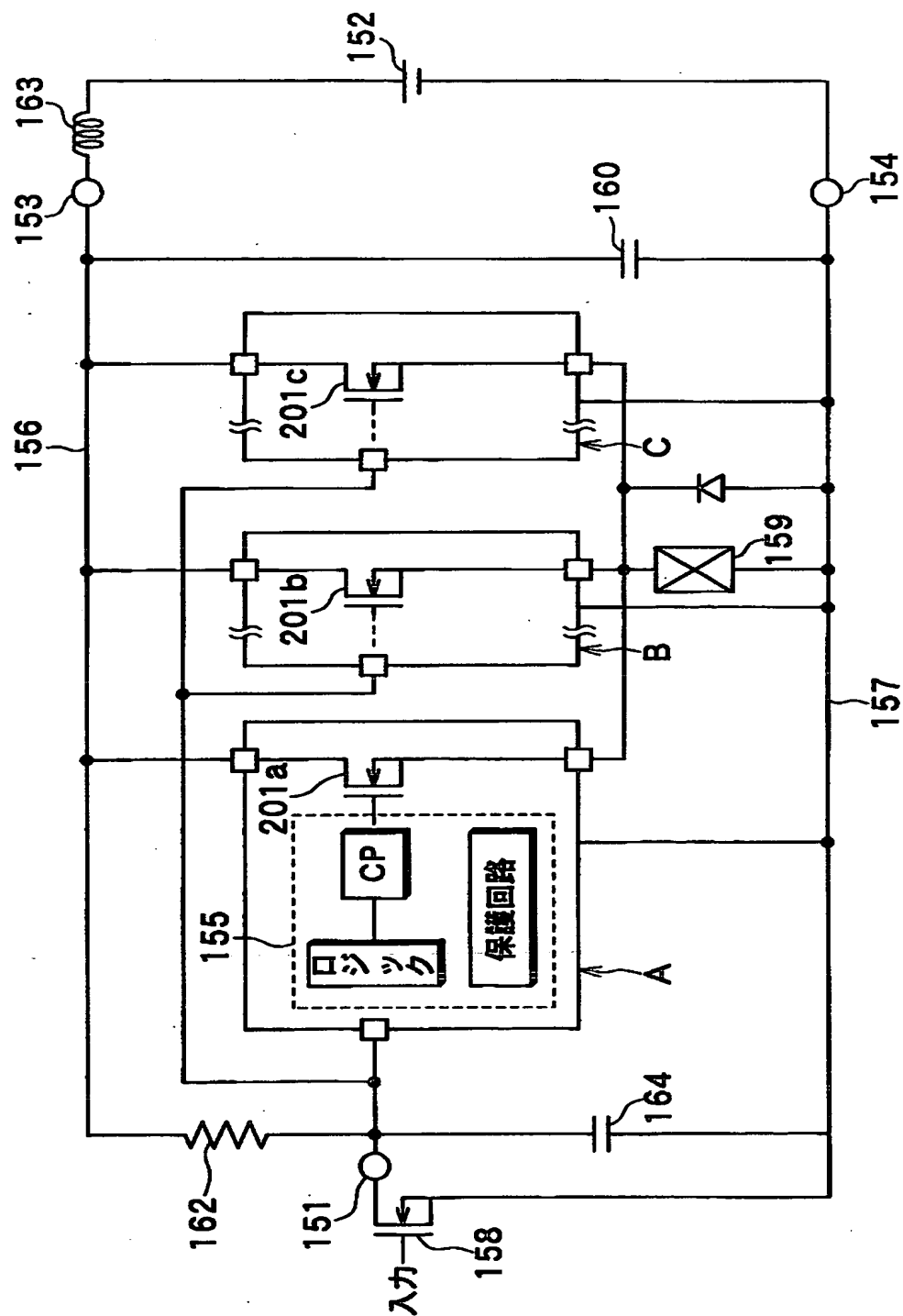
【図 15】



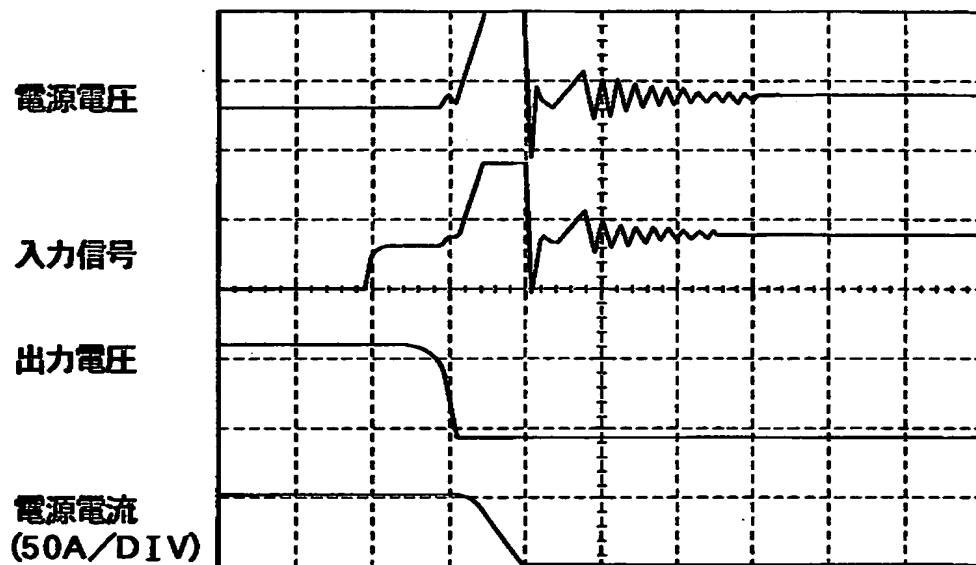
【図16】



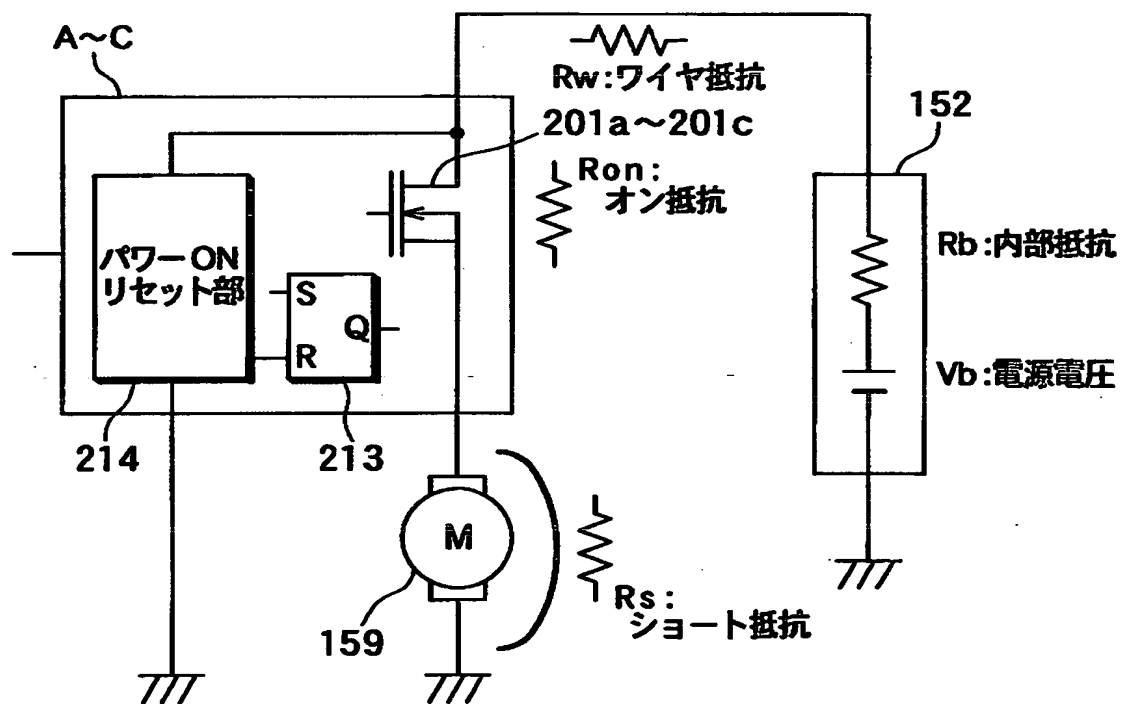
【図 17】



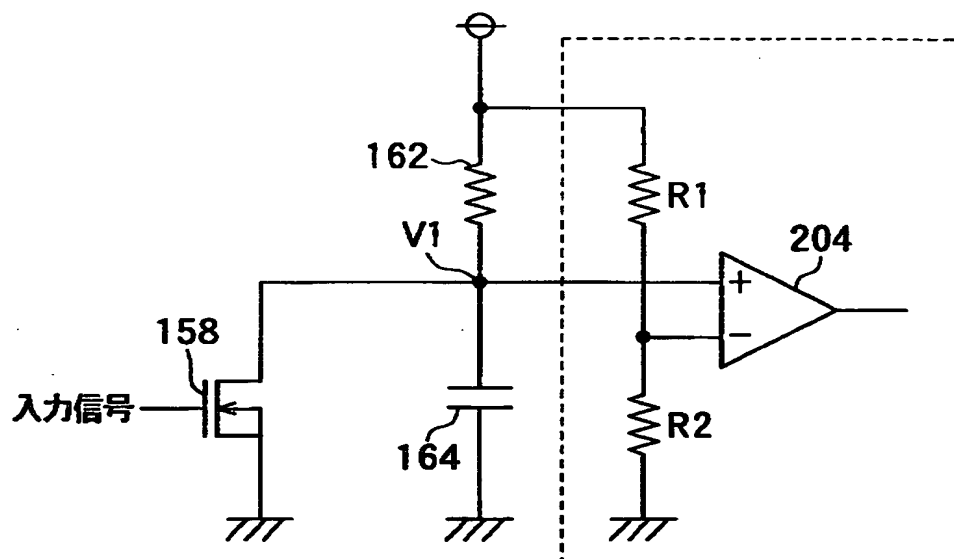
【図 18】



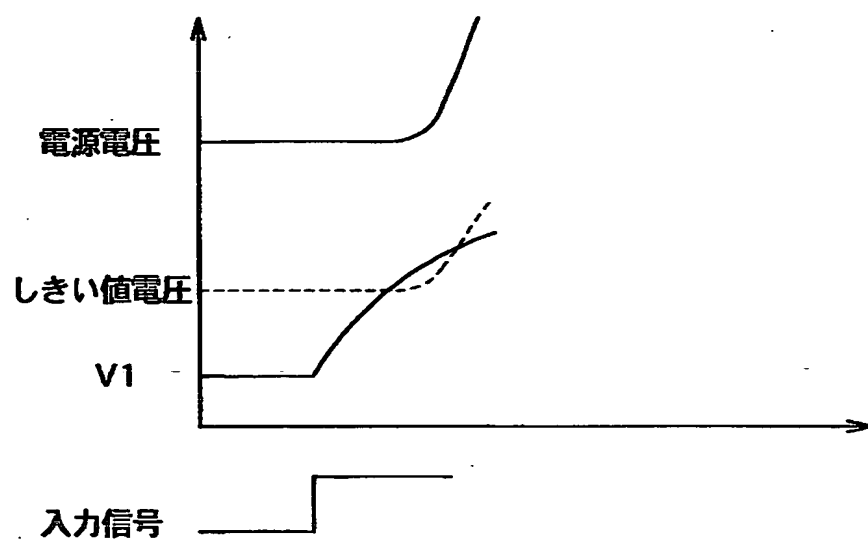
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 負荷駆動用の半導体素子を並列駆動する際に、負荷駆動回路の端子、及びこの端子に接続されるワイヤ本数の削減が図れるようにする。

【解決手段】 負荷駆動回路は、パワーMOSトランジスタ201a～201cが内蔵されていると共にパワーMOSトランジスタ201a～201cのオン、オフ駆動を行うIPDA～Cを複数個並列接続した構成となっている。このような構成において、パワーMOSトランジスタ201a～201cへの電圧供給ライン及び接地ラインとIPD内に備えられた制御部への電圧供給ライン及び接地ラインとを1本の電圧供給ライン156及び接地ライン157で兼用する。そして、電源端子153と接地端子154との間に配置されるコンデンサ160に対して抵抗161を配置し、インダクタンス成分163とコンデンサ160によるLC発振を抑制する。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー